

Конвейерный АЦП компании «Миландр»

Антон ГУМЕНЮК,
к. т. н.
gumenuk.anton@ic-design.ru

В статье представлен первый конвейерный аналого-цифровой преобразователь (АЦП) 5101NB025 в разрабатываемой линейке АЦП компании «Миландр». Микросхема имеет встроенный программируемый источник опорного напряжения, блок коррекции скажности тактового сигнала, интерфейс программирования SPI. Выходные данные передаются через КМОП- или LVDS-интерфейс.

Введение

Одной из тенденций последних десятилетий является быстрое развитие цифровых электронных систем. Вместе с тем всегда необходимы средства, обеспечивающие их связь с внешним миром. Это аналого-цифровые и цифро-аналоговые преобразователи.

Одной из важнейших сфер применения высокоскоростных АЦП с широким динамическим диапазоном являются телекоммуникационные и радиотехнические системы, где все чаще используются методы прямого преобразования сигналов в тракте высокой или промежуточной частоты без предварительного сдвига в основную полосу частот. В таких приложениях важно, чтобы АЦП имел широкую полосу пропускания и широкий динамический диапазон для регистрации слабых сигналов на фоне сильных помех, поскольку основная селективность обеспечивается цифровыми средствами.

Несмотря на наличие большого числа семейств АЦП рассматриваемого класса, кото-

рые выпускает ряд зарубежных компаний, необходимы и быстродействующие АЦП высокой точности российского производства. В настоящее время потребность в таких микросхемах стала особенно острой в связи с тем, что они являются важной составной частью, например, программно-определяемых радиосистем (software-define radio, SDR), используемых в специальной технике и перспективных устройствах связи массового применения.

Первый быстродействующий 14-разрядный АЦП в линейке преобразователей компании «Миландр» K5101NB025, выполненный по технологии 0,18 мкм, достигает соотношения сигнал/шум 64 дБ и диапазона, свободного от гармоник, 75 дБ при частоте выборки 75 Мвыб./с.

Структура микросхемы АЦП

Функциональная схема устройства представлена на рис. 1. Входной аналоговый дифференциальный сигнал подается через

выводы VINP/VINN на входное устройство выборки/хранения (УВХ) и далее обрабатывается ядром 14-битного АЦП.

Система цифровой постобработки получает цифровой эквивалент обрабатываемой выборки и осуществляет цифровую коррекцию и суммирование результатов преобразования каждого каскада. Через последовательный интерфейс SPI осуществляется программирование различных режимов микросхемы.

Входной тактирующий дифференциальный сигнал через выводы CLKP/CLKN поступает на внутреннюю схему тактирования, в состав которой входят входной буфер (CLK BUF), отключаемая схема коррекции скажности (DCC) и логика формирования непрерывных импульсов (ЛФНИ). Семейство тактовых импульсов, получаемых на выходе ЛФНИ, через цепочку буферов подается на каскады ядра АЦП, начиная с последнего. Это позволяет обеспечить синхронную работу конвейера независимо от параметров процесса и окружающей среды.

Выходной интерфейс осуществляет вывод данных в двух режимах: параллельном КМОП и LVDS/DDR (с двойной скоростью).

Схема формирования опорных напряжений допускает использование как внутреннего, так и внешнего опорного напряжения, определяющего величину шкалы преобразования. Есть возможность программирования опорного напряжения с помощью внешних резисторов подстройки. На выводе VCM устанавливается напряжение, которое может быть использовано для задания синфазного уровня входных аналоговых цепей.

Преобразователь работает с двумя напряжениями питания — 3,3 В для аналоговой и интерфейсной частей и 1,8 В для внутренних цифровых блоков.

Используемая конвейерная архитектура

Традиционные конвейерные архитектуры делятся на два класса: с односторонними

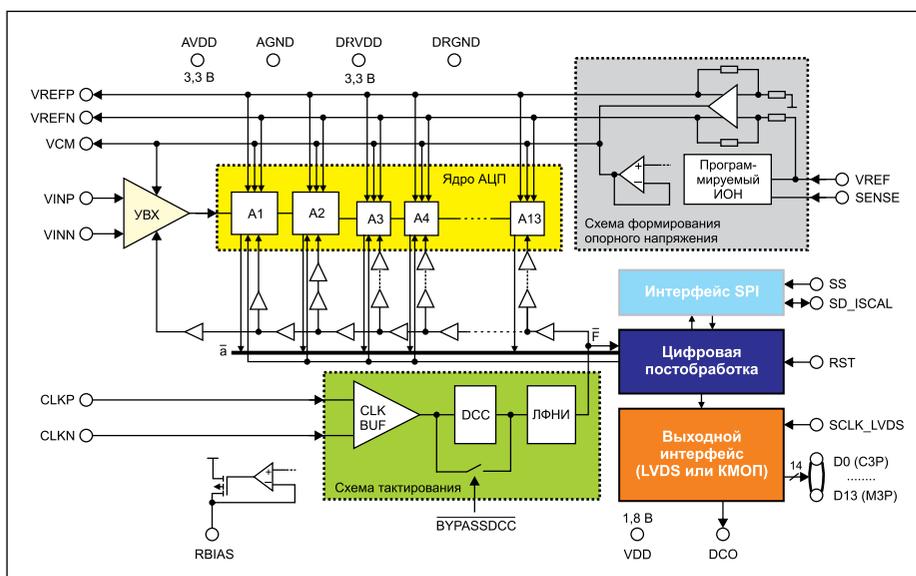


Рис. 1. Структура микросхемы АЦП

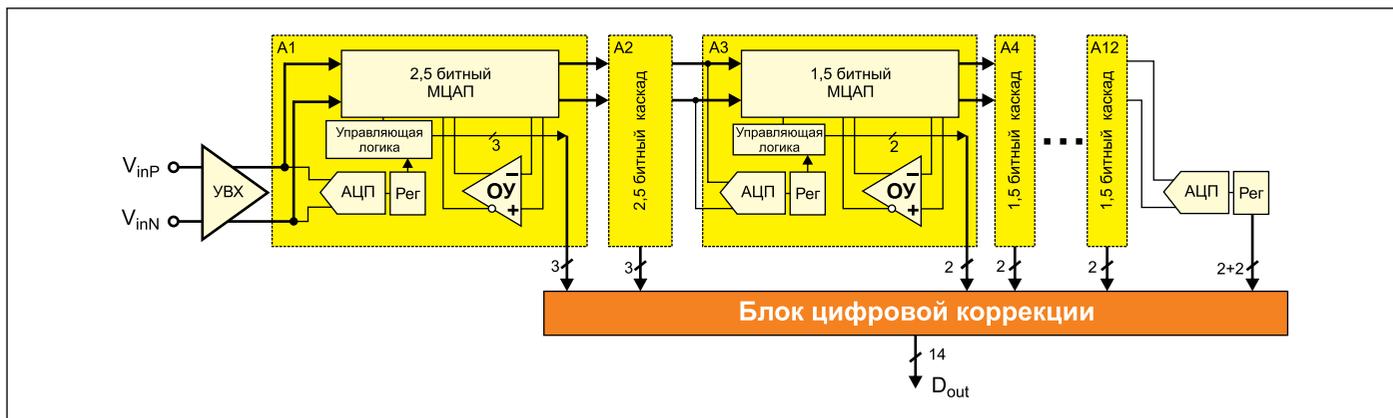


Рис. 2. Функциональная схема используемой конвейерной архитектуры

и многоразрядными каскадами. Архитектура, использующая только одnorазрядные каскады, относительно проста, однако она требует значительных энергетических затрат и занимает большую площадь, это необходимо для того, чтобы скомпенсировать погрешности множества каскадов. Архитектура с многоразрядными каскадами позволяет уменьшить влияние последующих каскадов на линейность преобразования и соотношение сигнал/шум. С другой стороны, увеличение разрядности сопровождается уменьшением глубины обратной связи операционного усилителя (ОУ) в каскаде, что ограничивает скорость преобразования АЦП.

В поисках компромисса между потребляемой мощностью, линейностью и требованиями к ОУ для данной микросхемы был выбран вариант архитектуры с двумя первыми каскадами разрядности 2,5 бита и последующими 1,5-битными каскадами.

Функциональная схема используемой архитектуры представлена на рис. 2. Она содержит УВХ, цепочку последовательно

включенных каскадов, каждый из которых формирует часть разрядов выходного кода, а также блок цифровой коррекции результата. УВХ фиксирует аналоговый сигнал в моменты времени, соответствующие частоте дискретизации. В состав каждого каскада входит параллельный АЦП, выход которого преобразуется обратно в аналоговый эквивалент, вычитается из входного сигнала, а сформированный остаток умножается на коэффициент усиления и подается на вход следующего каскада. Все эти операции осуществляются многофункциональными умножающими цифро-аналоговыми преобразователями (МЦАП). Последний каскад, не требующий формирования остатка, представляет собой АЦП параллельного типа. Выходной двоичный код каждого каскада, кроме последнего, является избыточным, что позволяет осуществлять цифровую коррекцию результата и значительно снизить требования к точности элементов каскадов, в частности, к разрешающей способности компараторов [1].

Схемотехническая реализация

Входное УВХ

Разработанное УВХ (рис. 3а, б) построено на основе структуры с переворачивающимся конденсатором [2]. На этапе выборки сигнальная обкладка каждого из конденсаторов подключена к входу, а на этапе хранения — к выходу. При смене режима меняется направление подключения конденсаторов, а заряды на емкостях не меняются.

Недостаточное напряжение открытия и нелинейность входного ключа приводят к нелинейным искажениям. Схема с вольтодобавкой [3] поддерживает сопротивление ключа S1 в замкнутом состоянии постоянным (около 15 Ом) во всем диапазоне входных напряжений. Для снижения уровня шума и увеличения быстродействия ключ S2 также выполнен по схеме с вольтодобавкой.

Операционный усилитель в составе УВХ должен обеспечивать более чем 14-битную точность при максимальной скорости преобразования. На рис. 3в представлена схема раз-

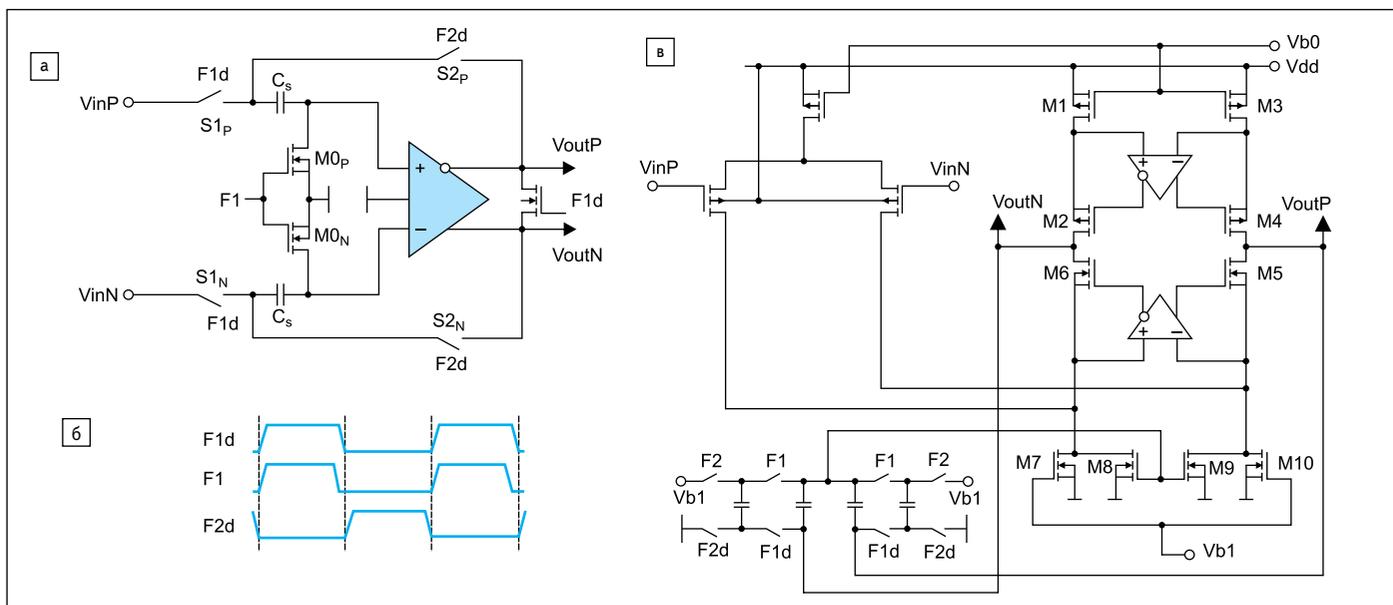


Рис. 3. Схема УВХ (а) и временная диаграмма его работы (б); схема разработанного ОУ, используемого в УВХ (в)

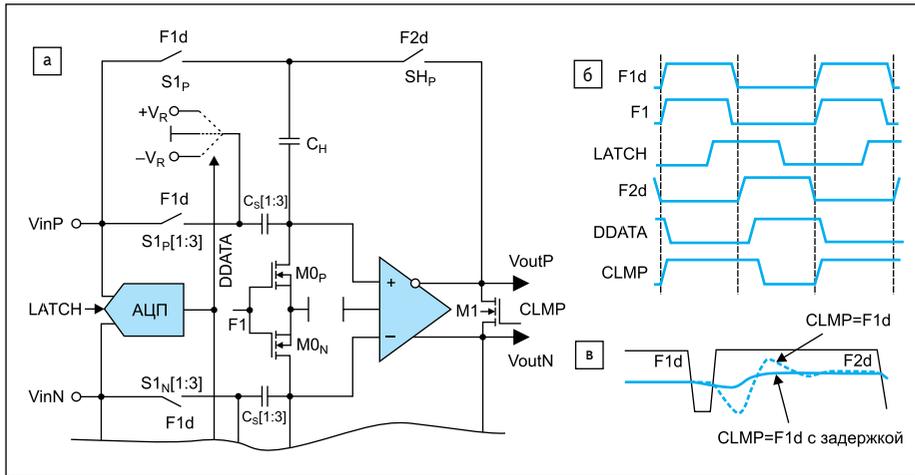


Рис. 4. Схема 2,5-битного каскада (а); временная диаграмма работы каскада (б); вид переходного процесса на выходе каскада для случая, когда управляющий сигнал CLMP совпадает с F1d (пунктирная линия), и для случая, когда CLMP — это задержанная версия F1d (в)

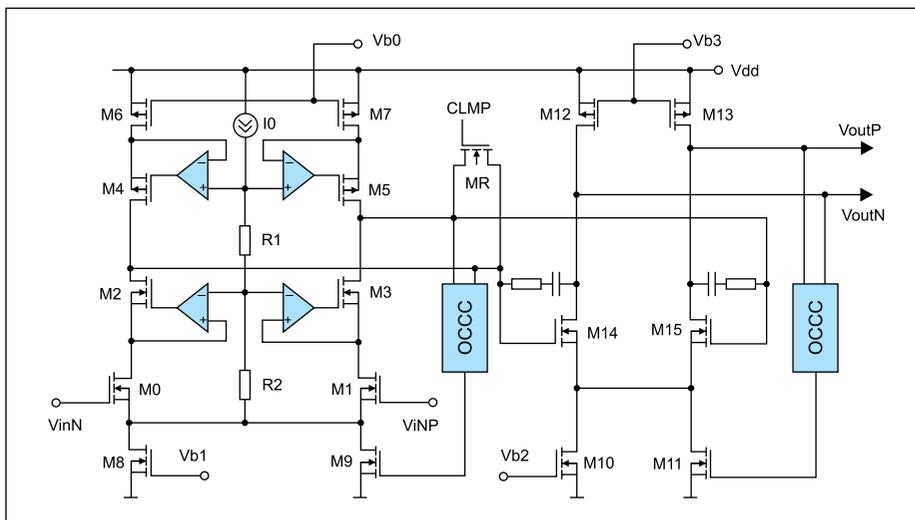


Рис. 5. Схема ОУ в составе 2,5-битного каскада

работанного ОУ. Высокий коэффициент усиления по постоянному току (около 120 дБ) достигается с помощью локальных усилителей, повышающих выходное сопротивление каскодных транзисторов M1–M10. Стабильность синфазного уровня выходного сигнала обеспечивается обратной связью на переключаемых конденсаторах, которая контролирует напряжение на затворах транзисторов M8–M9. При нормальных условиях полоса пропускания ОУ составляет около 500 МГц.

2,5-битный каскад

Упрощенная схема первого 2,5-битного каскада представлена на рис. 4а. В фазе выборки F1 (F1d) ключи S1 и M0 открыты, а конденсаторы C_S и C_H заряжаются до входного напряжения. В этой фазе ОУ сбрасывается с помощью транзистора M1. По переднему фронту сигнала LATCH срабатывают компараторы 6-уровневого АЦП.

В фазе получения остатка F2d ключи SH открываются, обратная связь замыкается

и на выходах ОУ начинает устанавливаться напряжение, равное $4(V_{inP} - V_{inN})$. Через некоторое время, определяемое задержкой срабатывания компараторов в АЦП и управляющей логики, приходит сигнал DDATA (рис. 4б), при этом соответствующие опорные напряжения подключаются к конденсаторам C_S. В результате напряжение на выходах ОУ начинает стремиться к $4(V_{inP} - V_{inN}) - D \times V_R$, где D — полученный АЦП код, а V_R — опорное напряжение. В результате переходный процесс на выходе каскада выглядит, как показано на рис. 4в (пунктирная линия). Избежать всплесков выходного напряжения помогает задержка сигнала CLMP. Сплошной линией на рис. 4в показан переходный процесс для случая, когда ОУ выводится из состояния сброса после прихода сигнала DDATA.

Упрощенная схема ОУ, используемого в первом каскаде, приведена на рис. 5. Он представляет собой двухкаскадный усилитель с частотной коррекцией Миллера. Такая

структура позволила достичь высокого усиления по постоянному току, большого выходного размаха и высокого уровня линейности. Каждый из каскадов ОУ стабилизируется собственной обратной связью по синфазному сигналу (OCCC) на переключаемых конденсаторах. Ослабить зависимость рабочих точек в первом каскаде ОУ от уровня входного синфазного сигнала позволила схема смещения I0–R1–R2. Транзистор MR, включенный между выходами первого каскада, облегчает сброс усилителя в фазе CLMP.

Результаты измерений

На рис. 6 представлена фотография кристалла АЦП 5101HB025 с указанием расположения основных блоков микросхемы. Измеренный диапазон, свободный от гармоник (SFDR), и соотношение сигнал/шум+искажения (SNDR) составили 75 и 64 дБ соответственно при частоте входного сигнала 10 МГц и частоте тактирования 75 Мвыб./с. При частоте входного сигнала 70,4 МГц и той же частоте выборки SFDR будет равен 72, а SNDR — 58 дБ (рис. 7). Статические характеристики, измеренные гистограммным методом, представлены на рис. 8. Интегральная нелинейность составила ± 8 МЗР (младший значащий разряд), дифференциальная — от $-0,6$ до $0,9$ МЗР. Результаты измерений сведены в таблицу.

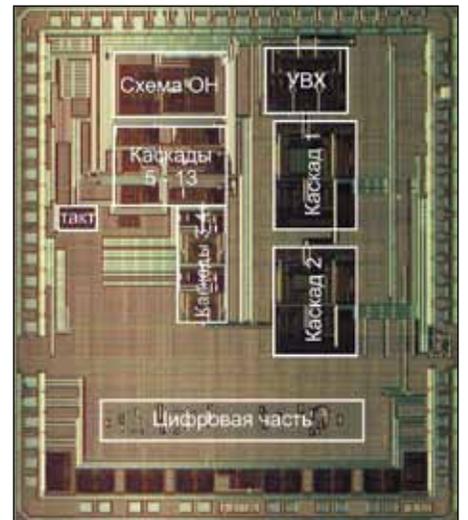


Рис. 6. Микрофотография кристалла

Таблица. Измеренные параметры АЦП

Параметр	Значение
Разрядность, бит	N 14
Частота преобразования, МГц	f _s 75
Соотношение сигнал/шум+искажения, дБ (при f _{IN} = 10 МГц)	SNR 64
Динамический диапазон, свободный от гармоник, дБс (при f _{IN} = 10 МГц)	SFDR 75
Интегральная нелинейность, МЗР	INL ± 8
Дифференциальная нелинейность, МЗР	DNL $-0,6 \dots 0,9$
Напряжение питания (аналоговое), В	V _{DD,a} 3,3
Полная шкала, В	V _{FS} 2
Типовой потребляемый ток (аналоговый), мА	I _{sup} 315

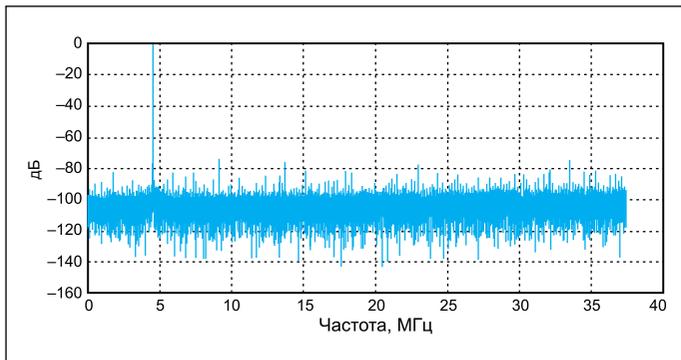


Рис. 7. Измеренный спектр на выходе АЦП при частоте входного сигнала 70,4 МГц и частоте тактирования 75 Мвыб./с

Литература

1. Cho T. B., Gray P. R. A 10 b, 20 Msample/s, 35 mW Pipeline A/D Converter // IEEE J. Solid-State circuits. 1995. V. 30. No 3.
2. Гуменюк А. С., Бочаров Ю. И. Устройства выборки/хранения быстродействующих АЦП // Микроэлектроника. 2007. Т. 36. № 5.
3. Dessouky M., Kaiser A. Very Low-Voltage Digital-Audio $\Delta\Sigma$ Modulator with 88-dB Dynamic Range Using Local Switch Bootstrapping // IEEE J. Solid-State Circuits. 2001. V. 36. No 3.
4. www.milandr.ru

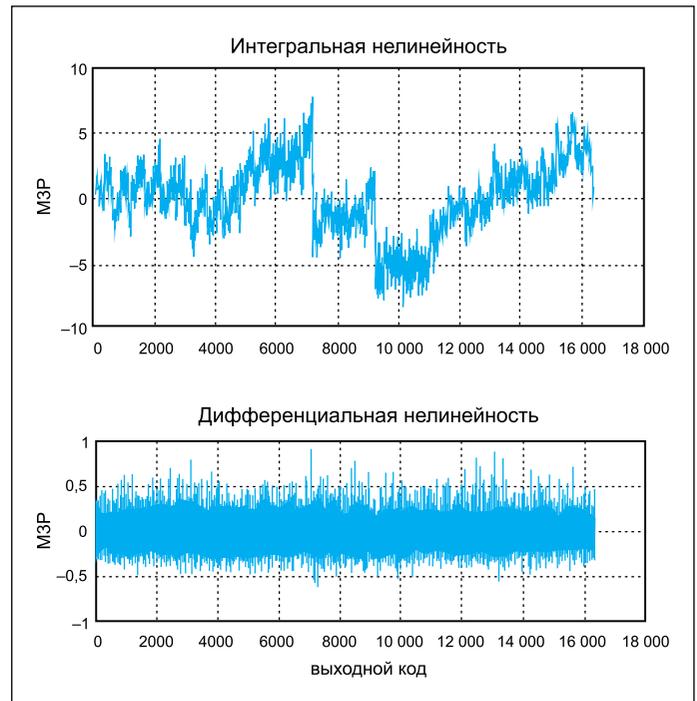


Рис. 8. Измеренные интегральная и дифференциальная нелинейности