

РЕШЕНИЯ ДЛЯ ВЫСОКОСКОРОСТНЫХ ИНТЕРФЕЙСОВ LVDS И DVI

ДАНИЛ ДЕМИДОВ, ДМИТРИЙ КРАСНОБРОВ, АЛЕКСАНДР ОДНОЛЬКО, ЗАО «ПКК Миландр»

В статье рассмотрены основные решения, применяемые в микросхемах компании «Миландр», для построения высокоскоростных интерфейсов LVDS и DVI.

LVDS и DVI являются одними из наиболее распространенных видеоинтерфейсов для дисплеев и LC-панелей (LCD). Особенностью данных интерфейсов является возможность их использования для последовательной передачи данных, что существенно уменьшает количество используемых сигнальных проводников. Кроме того, оба интерфейса используют дифференциальные линии для передачи сигналов, что существенно уменьшает влияние внешних наводок и, как следствие, позволяет передавать данные на достаточно большие расстояния. В компании «Миландр» был успешно разработан ряд микросхем для различных областей применения, содержащих в своем составе интерфейсы LVDS или DVI.

ОСНОВНЫЕ РЕШЕНИЯ ДЛЯ ПОСТРОЕНИЯ ИНТЕРФЕЙСА LVDS

LVDS (Low-Voltage Differential Signaling) представляет собой стандарт, разработанный под эгидой Ассоциации телекоммуникационной промышленности (TIA) и Ассоциации электронной промышленности (EIA). Он определяет электрические характеристики низковольтной дифференциальной передачи данных между схемами, обычно сделанных в интегральном исполнении, в которых происходит высокоскоростной обмен двоичными сигналами с высокой пропускной способностью между устройством ввода данных и оконечным оборудованием их обработки.

Уровни напряжений, устанавливаемые в этом стандарте, определяются таким образом, чтобы обеспечить максимальную гибкость при реализации маломощных высокоскоростных дифференциальных интерфейсов. При этом выходные характеристики передающей части не зависят от напряжения питания, что позволяет строить систему, используя напряжение питания 5,0 В, 3,3 В или 2,5 В без потери качества. Кроме того, использование для передачи сигналов с малым размахом по напряжению

Таблица. Микросхемы «Миландр» с использованием интерфейсов LVDS и DVI

Название микросхемы	Назначение	Скорость передачи данных	Тех. процесс
5559ИИН-19 (5559ИИН19У, K5559ИИН19У, K5559ИИН19Н4)	Микросхема двухканального LVDS приемопередатчика	400 Мбит/с	XFAB, XC018
1967ВЦ2Т	32-разрядный высокопроизводительный процессор цифровой обработки сигналов с LVDS-интерфейсом	1 Гбит/с	TSMC, tsmc65n
1967ВЦ3Ф	32-разрядный высокопроизводительный процессор цифровой обработки сигналов с LVDS-интерфейсом	800 Мбайт/с	«Микрон», 90 нм
Новая разработка	Десериализатор с цифровой обработкой данных с LVDS-интерфейсом	665 Мбит/с	TSMC, tsmc018
Новая разработка	Декодер сигнала одного канала DVI	1650 Мбит/с	TSMC, tsmc018

позволяет существенно снизить рассеиваемую мощность и уменьшить взаимное электромагнитное влияние сигналов.

Согласно стандарту, в состав интерфейса входит генератор, соединенный с согласованной линией, на конце которой стоит терминирующий резистор и приемник (см. рис. 1). Конфигурация интерфейса описывается в терминах требуемых напряжений и токов при различных значениях нагрузок. При этом стандарт четко не описывает функционал передатчика и приемника, поэтому они могут представлять собой, в зависимости от назначения, как инвертирующую, так и неинвертирующую модификацию, или реализовывать в своем составе функции сериализации и десериализации для увеличения скорости

передачи данных. В стандарте также не определяются другие характеристики интерфейса, такие как качество сигнала, протокол передачи данных, структура сигнальных линий и временные характеристики распространения сигнала.

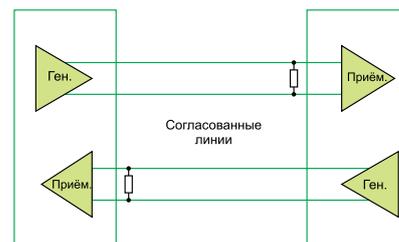


Рис. 1. Общее описание LVDS

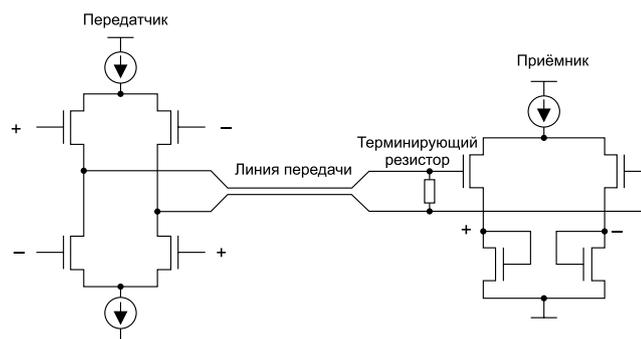


Рис. 2. Общая структура LVDS-интерфейса

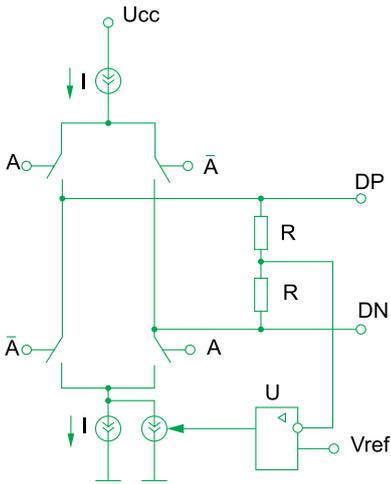


Рис. 3. Решение проблемы стабилизации напряжения смещения нуля передатчика

Исходя из этого, интерфейс LVDS был реализован в различных микросхемах компании «Миландр», функционал которых довольно разнообразен. Например, 5559IH-19 представляет собой LVDS-приемопередатчик, в котором производится преобразование КМОП-сигнала в формат LVDS и обратно. В одной из новых разработок компании была реализована микросхема, в которой осуществляется прием LVDS-сигнала, передаваемый по четырем каналам с последующей десериализацией входного потока данных. Кроме того, были разработаны варианты, когда интерфейс LVDS входит в состав микроконтроллера как дополнительный способ коммутации с внешними устройствами. Общая концепция, применяемая при проектировании данного типа устройств, изображена на рисунке 2.

Ток, формируемый в передатчике, протекает через терминирующий резистор либо в прямом, либо в обратном направлении в зависимости от управляющих напряжений на ключах. Таким образом, в зависимости от направления протекания тока, на входах приемника формируется дифференциальное напряжение разной полярности, соответствующее логическим «1» или «0». При этом для уверенного приема достаточно, чтобы размах напряжений на входе приемника был порядка 350 мВ, что существенно снижает энергопотребление системы. При этом стандарт четко определяет диапазон изменения смещения входного сигнала ($V_{CM} = 0,05 \text{ В} \div 2,35 \text{ В}$), минимальную амплитуду дифференциального сигнала на уровне 100 мВ и максимальную на уровне 600 мВ. Данные условия предъявляют определенные требования к входной дифференциальной паре приемника. Одним из вариантов решения этой задачи является применение двух дифференциальных пар на транзисторах разного

типа, работающих параллельно. В этом случае удастся существенно увеличить диапазон рабочих смещений входного дифференциального сигнала.

Еще одним параметром, четко регламентированным стандартом, является разбаланс напряжения смещения нуля на выходе передатчика в случае непрерывного переключения из единицы в ноль и обратно (1, 0, 1, 0, ...). Это требование накладывает довольно жесткие ограничения на систему обратной связи, отвечающую за стабилизацию уровня смещения выходного сигнала передатчика. Одним из решений названной проблемы является применение схемы, показанной на рисунке 3.

В свою очередь оптимизация по соотношению размеров ключей и опорного тока в передатчике решает другую проблему, определяемую в стандарте, а именно проблему ограничений, накладываемых на фронт нарастания и спада выходного дифференциального сигнала. В этом случае следует обратить особое внимание на форму управляющих ключами сигналов и при необходимости использовать специальную схему для формирования управляющих сигналов.

К другим параметрам, на которые необходимо обратить особое внимание при проектировании интерфейса LVDS, следует отнести:

- входной ток по входам приемника;
- баланс входных токов приемника при различных входных напряжениях;

- ток, протекающий при коротком замыкании выходов передатчика;
- чувствительность приемника к разбалансу выходного импеданса линии.

Соответствие всем вышеперечисленным требованиям было успешно реализовано во всех разработанных в «Миландре» устройствах.

ОСНОВНЫЕ РЕШЕНИЯ ДЛЯ ПОСТРОЕНИЯ ИНТЕРФЕЙСА DVI

Стандарт DVI ver. 1.0 обеспечивает передачу данных в широком спектре форматов изображений – от VGA (640×480) до QXGA (2048×1536), что и обуславливает его популярность. Основная идея передачи информации поясняется рисунком 4.

Передача сигнала осуществляется по дифференциальной паре. Разница падений напряжений на нагрузочных резисторах 50 Ом и есть дифференциальное напряжение, которое несет полезную информацию о сигнале. Протокольная часть стандарта DVI описывается рисунками 5, 6, 7.

На вход передатчика поступают синхросигнал, видеоданные (24 бита, красная, зеленая и синяя составляющие), строб сопровождения истинных данных и служебная информация. В простейшем случае это сигналы кадровой и строчной развертки VSYNC и HSYNC. Передатчик кодирует входную информацию в соответствии с технологией T.M.D.S. (transition minimized differential signaling). Эта технология

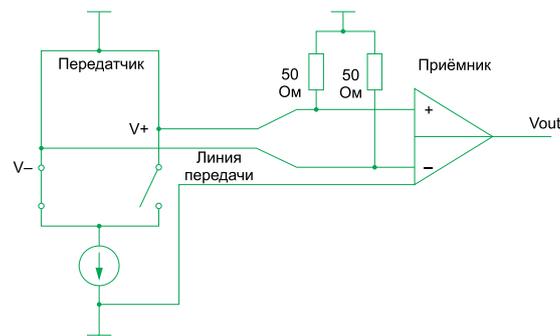


Рис. 4. Концепция стандарта DVI

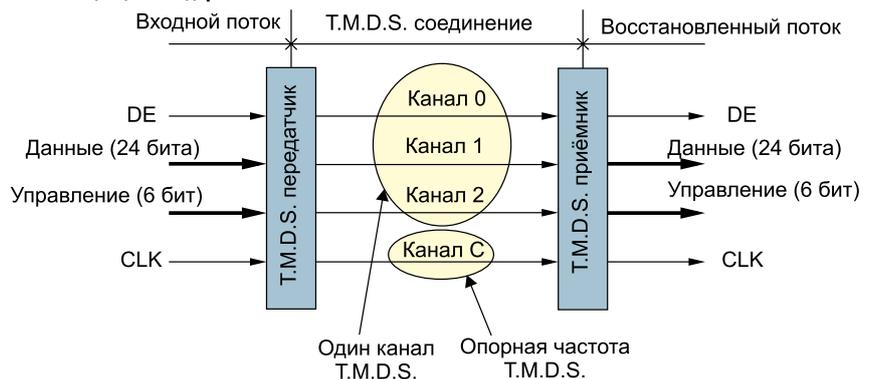


Рис. 5. Протокол DVI (общий вид)

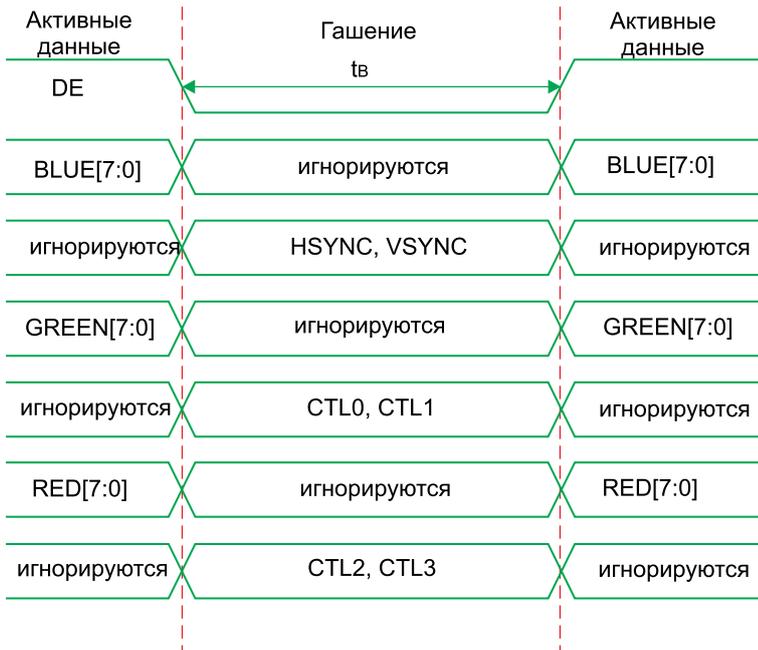


Рис. 6. Данные на входе передатчика и на выходе приемника

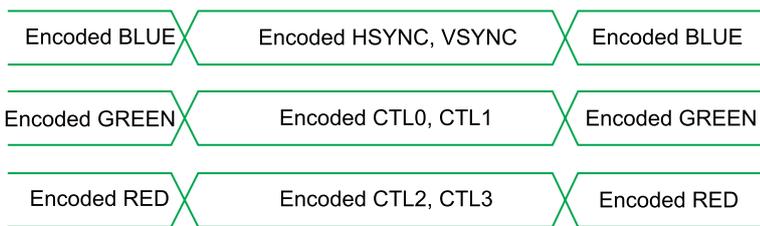


Рис. 7. Данные на входе приемника (каналы T.M.D.S.)

передачи дифференциальных сигналов с минимальным количеством переходов позволяет уменьшить влияние электромагнитных помех при передаче сигналов и выполнить корректное восстановление данных даже в условиях некачественной линии передачи.

Суть технологии сводится к тому, что 8-разрядные активные данные кодируются 10-ю битами так, что количество переходов в одном закодированном слове не может быть более 5. Служебная же информация (HSYNC, VSYNC) кодируется четырьмя возможными 10-разрядными словами: «1101010101», «0010101010», «1101010100» и «0010101011», количество переходов которых не менее 7. Назовем эти слова служебными символами. Закодированные активные данные и закодированная служебная информация передаются по одному каналу T.M.D.S., т.е. по одной дифференциальной паре. Во время DE = 1 передаются видеоданные, во время DE = 0 – служебная информация. За один такт синхросигнала передаются последовательно 10 бит кода, начиная с младшего значащего бита. Теперь задача приемника – восстановить из этого потока информацию. Инженерами ЗАО «ПКК «Миландр» была разработана микросхема, выполняющая восстановление данных одного канала из потока. Целью данной работы было создать микросхему, имеющую такой минимальный функционал, который бы позволял проверить схему-

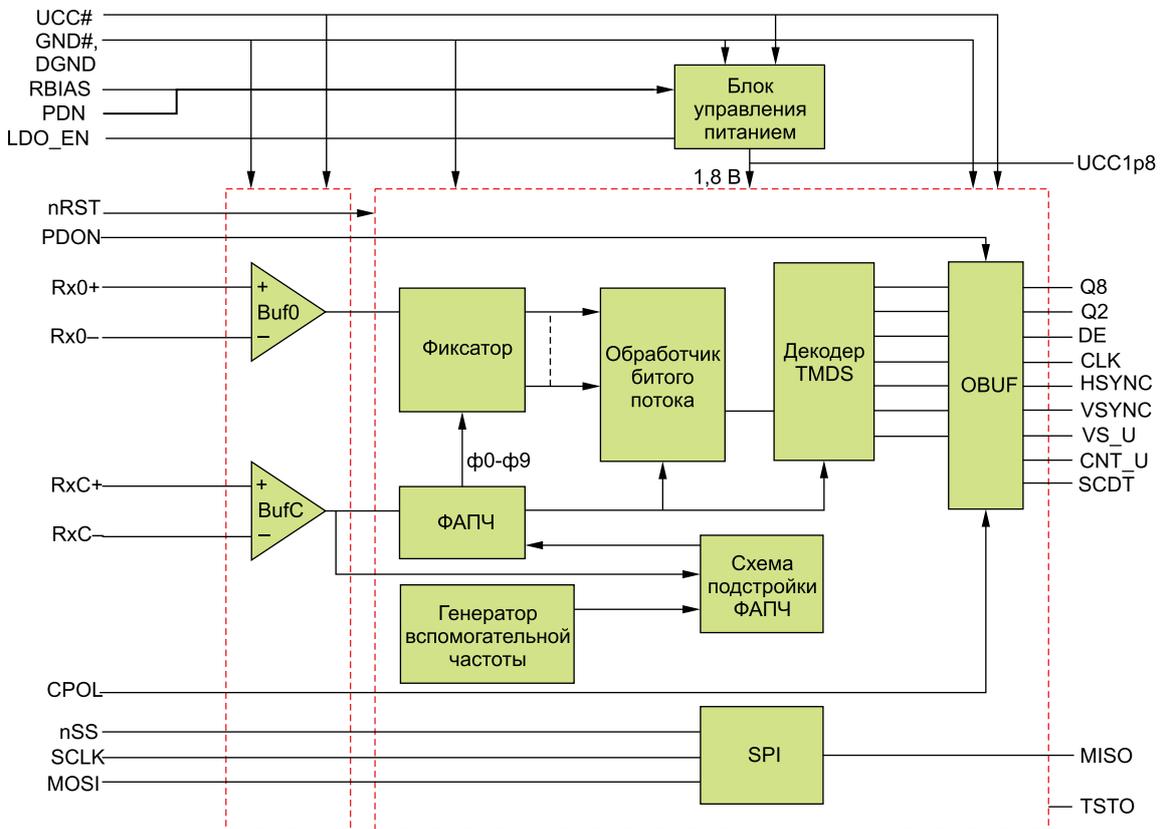


Рис. 8. Структура микросхемы

технические решения на применимость с целью создания полноценного приемника DVI-сигнала.

В случае успешного решения данной задачи создание полноценного DVI-приемника свелось бы к добавлению двух каналов восстановления данных и блока синхронизации между ними. Результатом проведенной работы стала микросхема, выполненная по технологии TSMC 180 нм, структура которой приведена на рисунке 8. Микросхема выполнена в пластиковом 32-х выводном корпусе QFN.

Микросхема питается одним напряжением номинала 3,3 В. Для формирования внутреннего напряжения питания цифровой части номинала 1,8 В и опорных токов аналоговых блоков в микросхеме реализован блок управления питанием с внешним задающим резистором с точностью исполнения 1%. Предусмотрена также возможность задания внутреннего напряжения питания 1,8 В извне через вывод UCC1р8.

Входной сигнал поступает на буфер, преобразующий дифференциальный сигнал в сигнал КМОП 1,8 В. Сложности при разработке входного буфера заключались в том, что сам входной сигнал имеет большой разброс по параметрам. Для обеспечения корректной работы буфера во всем диапазоне фронта и среза, амплитуды, скважности выходного сигнала и минимального вносимого джиттера была применена двухкаскадная схема. Первый каскад – дифференциальный усилитель, преобразующий дифференциальное напряжение в токи. Второй каскад является токовым компаратором, работающим уже в домене 1,8 В. Таким образом, в схеме буфера удалось обойтись без преобразователя уровня напряжений в его классическом представлении, что позволило удовлетворить требования технического задания по частоте, скважности сигнала и потребляемой мощности буфера.

На рисунке 9 приведены результаты моделирования входного буфера для последовательности бит разной длительности. Данные и синхросигнал, приходящие с входных буферов, имеют в общем случае вид, показанный на рисунке 10. Дальнейшая обработка сводится к поиску синхропоследовательности, точнее к поиску интервала гашения t_g .

Согласно спецификации интервал гашения должен состоять минимум из 128 служебных символов. Как только будет найдена непрерывающаяся последовательность из 128 символов, это будет означать, что интервал гашения найден и по его окончании (первый не служебный символ) пойдут активные данные. С первыми активными данными декодер должен выставить сигнал $DE = 1$ до того момента, пока не придет очередной служебный символ. Во время когда

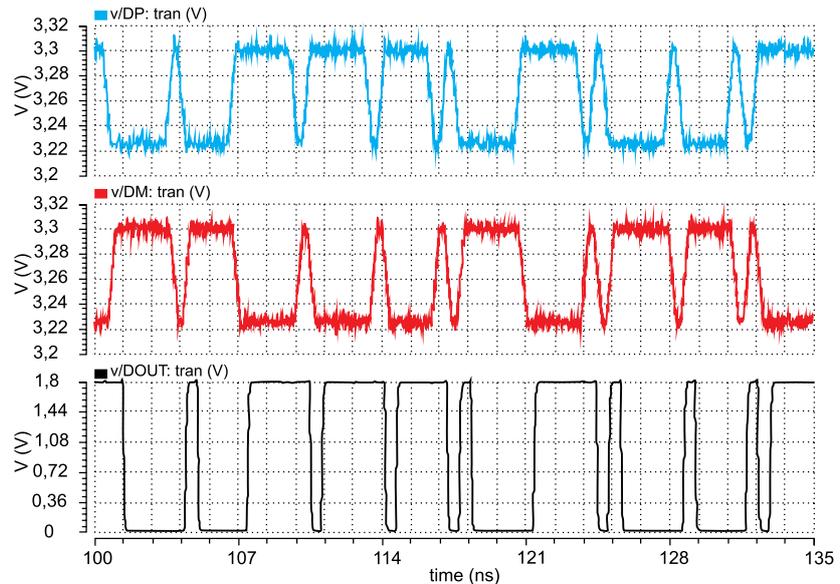


Рис. 9. Результаты моделирования входного буфера

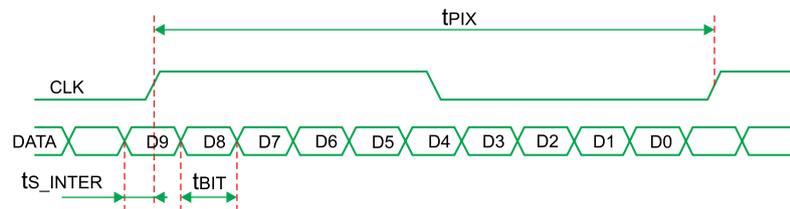


Рис. 10. Сигналы с входных буферов

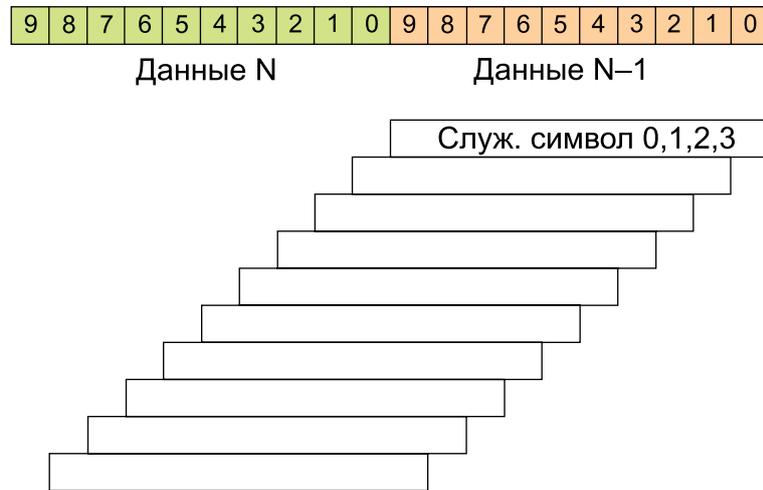


Рис. 11. Поиск служебного символа

$DE = 1$, декодер выдает декодированные активные данные, которые уже считаются истинными.

Данный алгоритм было бы просто реализовать, если бы имела жесткая привязка фронта/среза синхросигнала к битовому потоку данных. Однако, согласно спецификации, значение разбежки фаз синхросигнала и сигнала данных могут достигать величины $0.6 \cdot t_{PIX}$, т.е. привязки фронта синхросигнала к какому-то конкретному биту данных нет. Поэтому был выбран следующий алгоритм поиска интервала гашения.

Блок ФАПЧ, имея на входе частоту с выхода буфера синхросигнала, должен сформировать десять сигналов удесятеренной входной частоты, сдвинутых друг относительно друга на $\pi/5$. Удесятеренная частота получилась из количества бит в одном закодированном слове, а разность фаз $\pi/5$ из заданного максимального входного джиттера синхросигнала, данных и требования, чтобы хотя бы одна фаза всегда точно стробировала истинные данные. Таким образом, каждый бит данных будет сэмплироваться последовательно десятью фронтами

этих сигналов. Как результат мы будем иметь на выходе 100 бит для последующего анализа. Такое сэмплирование выполняется непрерывно, поэтому для последующего анализа захваченные данные требуется сохранить. Выполняется это в блоке «фиксатор», который состоит из десяти 10-разрядных сдвиговых регистров и одного 100-разрядного регистра параллельной загрузки. Каждый из сдвиговых регистров загружает данные фронтом своей фазы ϕ_0 – ϕ_9 . После того, как все 10 бит были сэмплированы десятью фазами, фронтом сигнала clkout значение сдвиговых регистров переписывается в регистр параллельной загрузки. Очевидно, что требования к временам предустановки и удержания регистров последовательной и параллельной загрузки, выполняющих описанные функции, весьма жесткие (на высоких частотах работы), поэтому для формирования этих регистров были разработаны специальные динамические триггеры, отвечающие данным требованиям.

Требования к блоку ФАПЧ, предъявляемые в этом проекте, были также высоки. Необходимо было обеспечить одновременно минимальный джиттер, стабильную полосу петли, октавность, стабильность коэффициента преобразования ГУН во всей области частот (21...165 МГц). Вспомогательный блок – схема подстройки ФАПЧ, используя

генератор вспомогательной частоты 1 МГц, формирует сигнал band , высокий или низкий уровень, в зависимости от того, в каком диапазоне находится входной синхросигнал – до 40 МГц или более.

После того как фиксатор сформировал на выходе 100-разрядный регистр сэмплированных данных, дальнейшая обработка происходит в обработчике битового потока на частоте clkout , равной частоте входного синхросигнала. Суть обработки поясняется рисунком 11.

Данные N и Данные $N-1$ на рисунке 11 суть текущее и предыдущее содержимое выходного регистра фиксатора для одной фазы. Если именно эта фаза удачно попала на истинные данные, а не на некое переходное состояние, и 10 подряд сэмплированных бит дали один из служебных символов, то фиксируется номер бита, с которого начинается этот служебный символ, и эта фаза помечается как удачная. В этом случае начинает работать счетчик, который инкрементируется каждый такт, если номер бита и тип символа совпадают с теми, что были найдены в предыдущем такте. Если для одной фазы было найдено два или более таких номеров, то фиксируется ошибка, и счетчик обнуляется. По достижении счетчиком значения 128 выставляется флаг, сигнализирующий о том, что синхропоследовательность найдена. Этот же алгоритм применяется

к остальным 9 фазам. Спустя два такта после выставления самого первого флага проводится анализ всех флагов от всех фаз. В итоге получаем интервал, например, от фазы 3 до фазы 7, где был обнаружен служебный символ. Вычисляется номер рабочей фазы как середина удачного интервала (в нашем случае это 5), и в дальнейшем для декодера T.M.D.S. берутся данные с регистра, соответствующего именно этой фазе. С декодера T.M.D.S. данные поступают на выходные буфера, работающие на частотах вплоть до 165 МГц на нагрузку до 10 пФ. Для снижения энергопотребления все выходные буфера отключаются внешним выводом PDON.

Для экономии числа внешних выводов активные данные представлены один битом, на который мультиплексируются все биты данных в соответствии со значением регистра, доступного через интерфейс SPI. Работоспособность микросхемы проверялась на отладочной плате, включающей ПЛИС для генерации данных и анализа результатов, микросхемы передатчиков Texas Instrument TFP410 и микросхему приемника Texas Instrument TFP401. Микросхема показала устойчивое восстановление сигнала во всем диапазоне частот. Таким образом, решения, апробированные в данной микросхеме, теперь можно использовать для создания микросхемы полноценного приемника DVI.