

Обзор отечественных одноядерных процессоров ЦОС

Михаил КАКОУЛИН
kakoulin@ic-design.ru

Процессоры цифровой обработки сигналов (ЦОС) находят широкое применение в самых различных областях, так как они способны обеспечивать работу в реальном масштабе времени не только существующих, но и принципиально новых устройств.

Введение

Процессор цифровой обработки сигналов (сигнальный процессор, Digital Signal Processor) — это микропроцессор, особенностью работы которого является поточный характер обработки больших объемов данных в реальном масштабе времени и, как правило, с интенсивным обменом данными с внешними устройствами. ПЦОС реализуется на основе так называемой базовой архитектуры (DSP Basic Architecture).

Реальный масштаб времени (реальное время работы, Real Time Scale) — это такой режим работы устройства, при котором регистрация и арифметическая обработка (а при необходимости — и анализ, визуализация, сохранение, систематизация, синтез и передача по каналам связи) данных производится без потерь информации, поступающей от ее источника.

Первый ПЦОС — TMS320C10 — был выпущен компанией Texas Instruments, Inc. в 1982 году и благодаря целому ряду удачных технических решений сразу получил широкое распространение. Первоначально он был задуман как контроллер, способный эффективно управлять работой модема, и был предназначен для оборонных нужд.

На основе ПЦОС создаются устройства, в которых требуется реальный масштаб времени выполнения практически любых арифметических задач. Можно выделить ряд типовых, наиболее распространенных задач, решаемых с применением ПЦОС:

- фильтрация сигналов;
- свертка двух сигналов (смещение сигналов);
- вычисление значений авто- и кросс-корреляционной функции двух сигналов;
- усиление, нормализация или преобразование сигналов;
- прямое и обратное Фурье-преобразование.

Основные направления применения ПЦОС

- Системы общего назначения:
 - цифровая фильтрация;
 - свертка;
 - корреляционный анализ;

- преобразование Гильберта;
 - быстрое преобразование Фурье;
 - адаптивная фильтрация;
 - взвешивание сигналов;
 - синтез сигналов.
 - Графика и обработка образов:
 - 3D-вращение изображений;
 - техническое зрение роботов;
 - передача и сжатие изображений;
 - распознавание образов;
 - «улучшение» изображений;
 - гомоморфическая обработка;
 - графические рабочие станции;
 - анимация;
 - цифровые карты.
 - Приборостроение:
 - спектральные анализаторы;
 - функциональные генераторы;
 - анализаторы переходных процессов;
 - цифровые фильтры;
 - синтезаторы сигналов.
 - Обработка голоса и речи:
 - голосовая почта;
 - речевые вокодеры;
 - распознавание речи;
 - верификация говорящего;
 - «улучшение» речи;
 - синтез речи;
 - системы «Текст-речь».
 - Управление:
 - управление дисководом;
 - следящие системы;
 - управление роботом;
 - управление лазерным принтером;
 - управление электроприводом.
 - Оборона:
 - специальная связь;
 - обработка радаров;
 - звуковая обработка;
 - обработка изображения;
 - навигация;
 - наведение ракеты на цель.
 - Телекоммуникации:
 - подавление помех;
 - шифрование данных;
 - ADPCM-кодирование;
 - факсы;
 - цифровые PBX;
 - сотовые телефоны;
 - сетевые усилители;
 - наушники;
 - мультиплексирование каналов;
 - цифровая речь;
 - модемы;
 - коммутация пакетов X.25;
 - DTMF кодирование/декодирование;
 - видеоконференции;
 - системы связи.
 - Автомобилестроение:
 - управление двигателем;
 - вибрационный анализ;
 - навигация;
 - автопилоты;
 - установление местонахождения;
 - управление торможением;
 - голосовые команды.
 - Бытовые приборы:
 - цифровые магнитофоны;
 - цифровое телевидение;
 - музыкальные синтезаторы;
 - игрушки и «настольные» игры;
 - справочные автоматы (информаторы).
 - Промышленность:
 - роботы;
 - конвейеры;
 - станки с ЧПУ;
 - ограничение доступа;
 - промышленные мониторы.
 - Медицина:
 - слуховые аппараты;
 - многофункциональный мониторинг;
 - ультразвуковое оборудование;
 - диагностические приборы;
 - протезирование.
- Отличием задач цифровой обработки сигналов является поточный характер обработки больших объемов данных в реальном масштабе времени, требующий от технических средств высокой производительности и возможности интенсивного обмена с внешними устройствами. Это достигается в настоящее время благодаря специфической архитектуре ПЦОС, называемой базовой архитектурой ПЦОС.
- Базовая архитектура ПЦОС — это совокупность характерных особенностей процессора, направленная на повышение его производительности и отличающая ПЦОС от микросхем других типов. Она обусловлена:

- применением модифицированной гарвардской архитектуры;
 - широким использованием конвейерного режима работы;
 - наличием специализированного устройства умножения;
 - наличием специальных команд для цифровой обработки сигналов;
 - реализацией короткого командного цикла.
- Гарвардская архитектура применяется для повышения производительности (быстродействия) и гибкости работы ПЦОС.

Гарвардская архитектура в классическом варианте подразумевает размещение программы и данных в отдельных ЗУ и их передачу по отдельным шинам. Это позволяет полностью совмещать во времени выборку и исполнение команд.

Модифицированная гарвардская архитектура допускает обмен содержимым между памятью программ и памятью данных, что расширяет возможности устройства.

Конвейер также применяется для повышения производительности ПЦОС. Так, в четырехкаскадном конвейере (например, в ПЦОС TMS320C2xx) ПЦОС может обрабатывать одновременно четыре команды, причем все команды находятся на разных стадиях выполнения. В четырехкаскадном конвейере предварительную выборку команды, дешифрирование, выборку операнда и исполнение команд можно осуществлять независимым образом. Пока производится предварительная выборка команды N, предыдущая команда N-1 дешифрируется, команда N-2 выбирает операнд, а N-3 исполняется.

Следует отметить, что конвейер реализован автоматически таким образом, что специалист, программирующий ПЦОС, никак не замечает его наличие.

Для ПЦОС характерно наличие аппаратного умножителя, позволяющего выполнять умножение двух чисел за один командный такт. В универсальных же процессорах умножение обычно реализуется за несколько тактов, как последовательность операций сдвига и сложения.

Другой особенностью ПЦОС является включение в систему специальных команд. Это могут быть, например, умножение с накоплением (MAC): $C = A \times B + C$, с указанным в команде числом выполнений в цикле и правилом изменения индексов используемых элементов массивов A и B; инверсия битов адреса; разнообразные битовые операции. В ПЦОС реализуется аппаратная поддержка программных циклов и кольцевых буферов, когда один или несколько операндов извлекаются из памяти в цикле исполнения команды. В ПЦОС широко используются методы сокращения длительности командного цикла, характерные и для универсальных RISC-процессоров.

ПЦОС различных компаний-производителей образуют два класса, существенно различающихся по цене: более дешевые ПЦОС обработки данных в формате с фик-

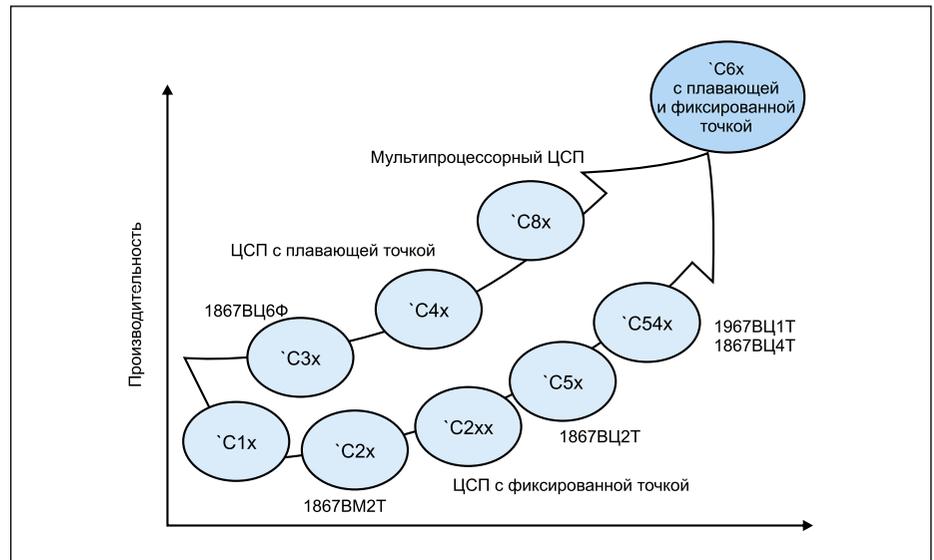


Рис. 1. Сравнительный анализ развития процессоров ЦОС отечественных компаний и фирмы Texas Instruments

сированной точкой и более дорогие ПЦОС, аппаратно поддерживающие операции с данными в формате с плавающей точкой. Использование данных в формате с плавающей точкой обусловлено несколькими причинами. Для многих задач, связанных с выполнением интегральных и дифференциальных преобразований, особую значимость имеет точность вычислений, обеспечить которую позволяет экспоненциальный формат представления данных. Алгоритмы компрессии, декомпрессии, адаптивной фильтрации в цифровой обработке сигналов связаны с определением логарифмических зависимостей и весьма чувствительны к точности представления данных в широком динамическом диапазоне.

Работа с данными в формате с плавающей точкой существенно упрощает и ускоряет обработку, повышает надежность программы, поскольку не требует выполнения операций округления и нормализации данных, отслеживания ситуаций потери значимости и переполнения. Платой за дополнительные «комфорт и скорость» являются высокая сложность функциональных устройств, выполняющих обработку данных в формате с плавающей точкой, необходимость использования более сложных технологий производства микросхем, большой процент отбраковки изделий и, как следствие, дороговизна ПЦОС.

Отечественные процессоры ЦОС

На рынке «классических» процессоров ЦОС сегодня работают две отечественные компании. Во-первых, это ФГУП «НИИЭТ», основанное 20 сентября 1966 года как Центральное конструкторское бюро (ЦКБ) при Воронежском заводе полупроводниковых приборов. Начиная с конца 1980-х годов одно из направлений деятельности компании — процессоры ЦОС. А во-вторых, это ЗАО

«ПКК Миландр», организованное в 1993 году в городе Зеленоград. С 2005 года компания занимается и процессорами ЦОС. Необходимо отметить, что микросхемы обеих компаний являются функциональными аналогами микросхем Texas Instruments. Таким образом, развитие отечественных процессоров ЦОС повторяет развитие семейств процессоров американской компании. Проиллюстрируем это графиком, представленным на рис. 1.

Как видно на рис. 1, отечественная промышленность отстает от зарубежных компаний на 1–2 поколения процессоров. Так, отечественных аналогов семейству TMS320C6x сегодня не существует.

Несмотря на широкую известность приведенных на графике микросхем, приведем их краткие характеристики.

Процессор 1867BM2T

1867BM2T (изготовитель ФГУП «НИИЭТ») — аналог TMS320C25. Это 16-разрядный процессор с фиксированной запятой. Тактовая частота — 40 МГц, производительность — 10 MIPS, ОЗУ — 544×16, ПЗУ — 4К×16, 32 порта ввода/вывода, таймер, последовательный порт. Микросхема выпускается в корпусе 4235.88–1.

Основные характеристики микросхемы 1867BM2T:

- Выполнение умножения и сохранения результатов осуществляется за один командный цикл.
- Набор команд поддерживает вычисления с плавающей точкой.
- Выполнение программ осуществляется из памяти программ RAM, расположенной на кристалле. Объем памяти программ RAM — 544 слова, из которых 256 могут быть использованы как память данных.
- Расширенная внешняя память может иметь объем 128К слов (64К слов — память программ, 64К — память данных).

- Содержит внешний интерфейс для организации многопроцессорных связей и средства синхронизации для доступа к разделяемой памяти.
- Возможность перемещения памяти данных и программ блоками.
- Возможность организации циклов ожидания при доступе к медленной внешней памяти или медленным периферийным устройствам.
- Наличие восьми вспомогательных регистров и специального арифметического устройства для них.
- Наличие аппаратного стека размером восемь слов и возможности программного расширения стека в памяти данных.
- Наличие команд обработки битовых данных.
- Наличие трех маскируемых пользователем прерываний.
- Наличие режима прямого доступа к памяти (ПДП).

Умножитель микропроцессоров помимо операций умножения позволяет выполнять за один такт возведение в квадрат. В процессоре включена аппаратная поддержка кратного выполнения команды, реализован режим двоичной инверсно-косвенной адресации, предназначенный для эффективной реализации быстрого преобразования Фурье.

Процессор 1867ВЦ2Т

1867ВЦ2Т (изготовитель ФГУП «НИИЭТ») — аналог TMS320C50. Это 16-разрядный процессор с фиксированной запятой. Тактовая частота — 40 МГц, производительность — 20 MIPS, ОЗУ — 9К×16, ПЗУ — 2К×16, последовательный порт TDM, таймер, JTAG-интерфейс. Микросхема выпускается в корпусе 4229.132-3.

Этот процессор следующего поколения, обеспечивая совместимость по системе команд и наследуя общие архитектурные особенности построения процессора 1867ВМ2Т, отличается большими функциональными возможностями и повышенной тактовой частотой.

- Особенности микросхемы 1867ВЦ2Т:
- В процессоре реализована аппаратная поддержка кольцевых буферов, имеется возможность одновременного создания в памяти данных двух независимых кольцевых буферов.
- Существует возможность кратного выполнения блока программы.
- Процессор содержит 11 теневых регистров, используемых для быстрого сохранения/восстановления состояния основных регистров в случае возникновения программных или аппаратных прерываний.
- Параллельное логическое устройство процессора позволяет выполнять битовые и логические операции над операндами, содержащимися в памяти и различных регистрах.

- Процессор может использовать 244К слов памяти, в том числе 64К — память программ, 64К — память данных, 64К — 16-разрядные порты ввода/вывода, 32К — глобальная память.
- Для возможности работы с медленной памятью в процессор включен программируемый генератор тактов ожидания.
- При создании мультипроцессорных систем возникает необходимость совместного использования единой области памяти. Для этого в процессоре предусмотрены сигналы запроса и готовности при обращении к глобальной памяти, доступ к которой регулирует специальный арбитр памяти.

Процессор 1867ВЦ6Ф

1867ВЦ6Ф (изготовитель ФГУП «НИИЭТ») — аналог TMS320C30. Это 32-разрядный процессор с плавающей запятой. Тактовая частота — 40 МГц, производительность — 40 MFLOPS, ПЗУ — 4К×32, ОЗУ — 2К×32, кэш ОЗУ 64×32, два последовательных порта, два 32-разрядных таймера, ПДП, мультипроцессорный интерфейс, напряжение питания — 5 В ±10%. Микросхема выпускается в корпусе 6116.180А (PGA-181).

Это первый представитель класса процессоров с плавающей точкой. Его отличают гибкая система команд, хорошая аппаратная поддержка операций с плавающей точкой, мощная система адресации и расширенное адресное пространство. Высокая производительность процессора на ЦОС-алгоритмах обеспечивается благодаря аппаратному выполнению ряда специфических функций, которые в других процессорах реализуются программно или микропрограммно. Процессор имеет конвейерную регистро-ориентированную архитектуру и может параллельно выполнять в одном такте умножение и арифметико-логические операции с числами в формате с фиксированной или плавающей точкой.

Особенности микросхемы 1867ВЦ6Ф:

- 32-разрядная шина команд и данных и 24-разрядная шина адреса.
- Два блока ОЗУ по 1К 32-разрядных слов.
- 32-разрядный умножитель с плавающей точкой.
- Кэш-память команд объемом 64 32-разрядных слова.
- Восемь регистров для операций с повышенной точностью.
- Два генератора адреса и регистровый файл.
- Реализует разнообразные методы адресации.
- 40-разрядное АЛУ процессора работает как с целыми числами, так и с числами в формате с плавающей точкой.
- Встроенный контроллер ПДП позволяет объёмно выполнять во времени выполнение обмена данными с памятью и вычисления.

Наличие у процессора мультипроцессорного интерфейса, двух внешних интерфейсных портов, двух последовательных портов и расширенной системы прерываний упро-

щает конструирование систем на его основе. Благодаря его высокой производительности и простоте использования в вычислительных системах этот процессор можно применять как в качестве главного процессора, так и в качестве специализированного сопроцессора.

Процессор 1867ВЦ4Т

1867ВЦ4Т (изготовитель ФГУП «НИИЭТ») — аналог TMS320C542. Это 16-разрядный процессор ЦОС с фиксированной запятой. Тактовая частота — 40 МГц, производительность — 40 MIPS, ОЗУ — 10К×16, ПЗУ программ — 2К×16, коммуникационные порты NPI, BSP, TDM, JTAG-интерфейс, напряжение питания 5 В ±10%. Микросхема выпускается в корпусе 4234.156-2.

Процессор отличает комбинирование модифицированной гарвардской архитектуры с тремя внутренними шинами данных и одной шиной команд. Такая внутренняя организация позволяет обеспечить высокую степень параллельности выполнения команд. Этот процессор имеет специализированную систему команд, дополнительные периферийные устройства и увеличенный объем внутренней памяти. Все это позволяет добиться высокой гибкости и производительности. Три шины данных используются для чтения операндов и записи результата операции одновременно с выборкой инструкции в одном процессорном цикле. Для ускорения выполнения типовых операций сигнальной обработки помимо «стандартных» для ЦОС процессоров блоков барабанного сдвига и адресной арифметики процессор содержит ряд дополнительных функциональных модулей, повышающих его гибкость и производительность.

Особенности микросхемы 1867ВЦ4Т:

- Блок умножения с накоплением (MAC) выполняет над 17 битовыми операндами операции вида: $S = S + A \times B$ за один процессорный такт. Подобные операции характерны для алгоритмов фильтрации, свертки, вычисления корреляционной функции.
- Для быстрого вычисления значений $y = \exp(x)$ микропроцессор содержит блок перекодировки значения аккумулятора (EXP Encoder), интерпретирующий его как значение аргумента и позволяющий вычислять соответствующее значение функции за один такт.
- Эффективную реализацию оператора Витерби обеспечивает блок (CMP8 Oper1.), выполняющий за один такт операцию сравнения/выбора с накоплением (Add/Compare Selection).
- АЛУ микропроцессора способно выполнять арифметические или логические операции над комплексными числами (используя два регистра-аккумулятора АССА и АССВ) или может функционировать как два 16-разрядных АЛУ, выполняющих одновременно две 16-разрядные операции. Два блока MAC могут выполнять операции в цикле одновременно.

- Устройство барабанного сдвига осуществляет сдвиг данных на 0–31 разряд влево или 0–16 разрядов вправо за один такт, а также совместно с блоком вычисления экспоненциальной функции позволяет выполнять нормализацию содержимого аккумулятора за один такт. Дополнительные возможности сдвига позволяют процессору осуществлять масштабирование данных, выделять разряды числа, предотвращать возникновение переполнения и потери значимости.
- Общий объем адресуемой процессором памяти, составляющий 192 16-разрядных слова, разбит на три специализированных сегмента: команд, данных и ввода/вывода, каждый из которых может иметь размер до 64К слов.
- Процессор содержит ROM объемом до 2К 16-разрядных слов и 10К слов RAM.

Процессор 1967ВЦ1Т

1967ВЦ1Т (изготовитель ЗАО «ПКК Миландр») — аналог TMS320C546A. Это 16-разрядный процессор с фиксированной запятой. Тактовая частота — 60 МГц, производительность — 60 MIPS, ОЗУ — 6К×16, ПЗУ — 32К×16, системная шина, таймер, два последовательных порта, интерфейс JTAG, $U_p = 3,3 В \pm 10\%$. Микросхема выпускается в корпусе 4226.108-2.

Этот процессор по своей структурной схеме и системе команд полностью аналогичен предыдущему. За счет более высокой тактовой частоты 1967ВЦ1Т на сегодня — самый производительный из отечественных «классических» процессоров ЦОС с фиксированной запятой. Приведем его основные характеристики:

- Архитектура организации внутренних шин с тремя отдельными 16-разрядными шинами памяти данных и одной шиной памяти программ.
- 40-разрядный арифметико-логический модуль (арифметико-логическое устройство), включающий 40-разрядное циклическое сдвиговое устройство и два независимых 40-разрядных аккумулятора.
- 17×17-разрядный параллельный умножитель, совмещенный с 40-разрядным специализированным сумматором, выполняющий в одном цикле (без конвейеризации) операцию умножения с накоплением (MAC).
- Модуль сравнения, выбора и хранения для операции сложения/сравнения и выбора в операторе Витерби.
- Кодер экспоненты, для вычисления значения экспоненты 40-разрядного аккумулятора в одном такте.
- Два генератора адреса с восьмью вспомогательными регистрами и двумя вспомогательными арифметическими регистрами (ARAU).
- Максимальное адресуемое пространство памяти — 192К×16 бит (192К слов), включающее 64К слов памяти программ, 64К слов памяти данных, 64К слов пространства ввода/вывода.

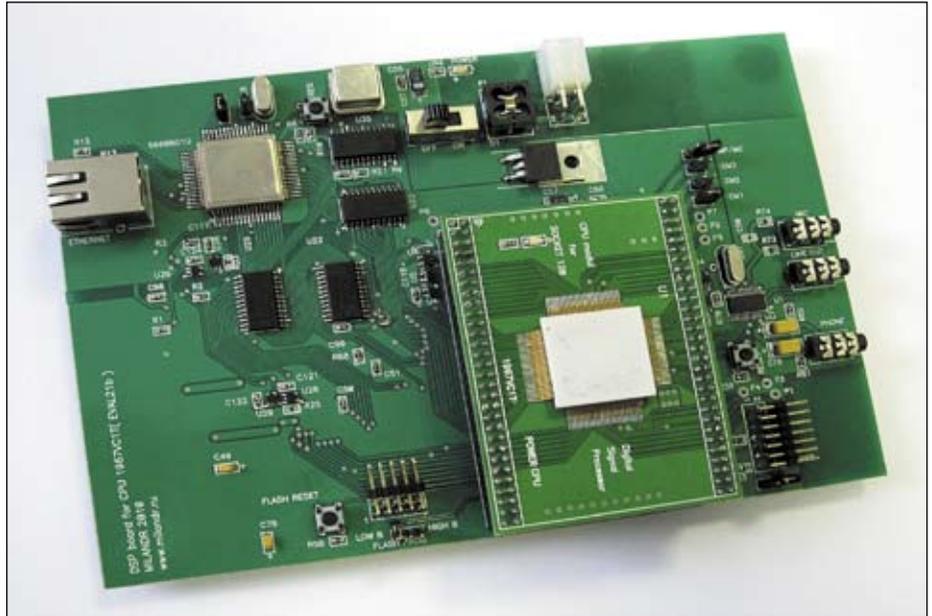


Рис. 2. Внешний вид отладочной платы 1967ВЦ1Т

- Масочное ПЗУ объемом 32К слов с возможностью конфигурирования как памяти программ, так и данных.
- Встроенное ОЗУ двойного доступа (6К слов, разделенное по 1К).
- Инструкции повторения одной команды и повторения блока программного кода.
- Команды, работающие с 32-разрядными операндами.
- Двух- и трехоперандные команды.
- Арифметические команды с параллельным сохранением и параллельной загрузкой.
- Условные команды.
- Быстрый возврат из прерывания.
- 187 инструкций (16-разрядные инструкции, содержащие от одного до трех слов).
- Максимальный ток потребления — не более 50 мА.
- Программируемый генератор состояния ожидания и программируемое переключение банков внешней памяти программ и данных, а также управление временем обмена с внешними портами.
- Встроенный генератор синхросигналов с фазовой автоподстройкой, работающий от внутреннего или внешнего генератора.
- Полнодуплексный последовательный порт для 8- или 16-разрядных передач (SSP).
- Буферизированный последовательный порт (BSP) с прямым доступом к ОЗУ.
- Один 16-разрядный таймер.
- Управление внешними выводами входа/выхода (XIO) для блокировки внешней шины данных, адресной шины и сигналов управления.
- Управление потребляемой мощностью командами IDLE1, IDLE2 и IDLE3.
- Логика взаимодействия микропроцессора с аппаратным эмулятором на основе стандарта 1149.1 (JTAG) для подключения

к интегрированной среде программирования и отладки Code Composer Studio (для CCS необходимо установить оригинальный драйвер).

- Встроенное тестирование микропроцессора на основе стандарта JTAG.

Для этого процессора ЦОС компания-изготовитель выпустила отладочную плату с набором демонстрационного программного обеспечения. Общий вид отладочной платы приведен на рис. 2. Кроме самого процессора, плата содержит микросхемы ОЗУ 1645PУ3У, микросхемы Flash-памяти 1636PР1У, Ethernet-контроллер 5600ВГ1У и внешний 16-разрядный аудиокодек.

Остается добавить, что, по заверению компаний-производителей, перечисленные процессоры практически полностью программно совместимы со своими функциональными аналогами. Кроме того, для разработки и отладки программного обеспечения описанных процессоров ЦОС можно использовать и САПР Code Composer Studio (Texas Instruments).

Техническая поддержка и консультации по применению оказываются компаниями — производителями микросхем.

Новые горизонты. Заключение

Каковы планы развития отечественных процессоров ЦОС? Появятся ли микросхемы, аналогичные процессорам ЦОС TMS320C6x? В качестве ответа на эти вопросы можно привести решение компании ЗАО «ПКК Миландр» начать разработку 32-разрядного процессора ЦОС с плавающей запятой. Функциональным аналогом разрабатываемого процессора является TigerSHARC ADSP-TS202S компании Analog Devices.

Основные особенности архитектуры разрабатываемого процессора:

- Высокопроизводительная архитектура TigerSHARC с плавающей точкой — это мощная архитектура, которая совмещает технологии VLIW и SIMD.
- VLIW («очень длинная машинная команда») — архитектура процессоров с несколькими вычислительными устройствами. Характеризуется тем, что одна инструкция процессора содержит несколько операций, которые должны выполняться параллельно.
- SIMD (одиночный поток команд, множественный поток данных, ОКМД) — архитектура процессоров, основанная на принципе компьютерных вычислений и позволяющая обеспечить параллелизм на уровне данных, при этом поддерживается параллельное выполнение до четырех операций умножения 16-разрядных чисел с фиксированной точкой.

Процессор может работать с данными различной разрядности и поддерживает формат как с фиксированной (8-, 16-, 32- и 64-разрядные числа), так и с плавающей точкой (IEEE 32-разрядные и 40-разрядные числа с увеличенной точностью); такая гибкость в отношении типов данных яв-

ляется новым свойством. По этой причине новое семейство может быть также классифицировано и как высокопроизводительный чип с фиксированной точкой. Процессор будет содержать память SRAM на кристалле емкостью 12 Мбит. При тактовой частоте 400 МГц время выполнения инструкции составляет 2,5 нс, а производительность вычисления 40-разрядных операций умножения с накоплением — 3,2 млрд операций/с.

Основные показатели:

- Тактовая частота — до 400 МГц.
- Емкость внутренней памяти типа статическое ОЗУ — 12 Мбит.
- Два блока выполнения вычислений, каждый из которых содержит АЛУ, умножитель, сдвигатель, регистровый файл и блок обмена.
- Интегрированный блок ввода/вывода с функциями 14 каналов ПДП, внешней шины, 4 каналов высокоскоростного интерфейса межпроцессорной связи, 2 таймеров.
- I149.1 IEEE-совместимый JTAG-интерфейс для отладки.
- Поддержка операций над числами с плавающей запятой с однократной (32 разряда) и увеличенной (40 разрядов) точностью.

- Поддержка операций над 8-, 16-, 32- и 64-разрядными числами с фиксированной запятой.
- Возможность объединения в многопроцессорную конфигурацию (до четырех процессоров) без использования дополнительных интерфейсных схем.

Процессоры будут изготавливаться в 256-выводном металлокерамическом корпусе. По запросу потребителей они также будут доступны в пластиковых корпусах типа BGA.

Экспериментальные образцы процессоров компания планирует выпустить во II квартале 2013 года. Начало выпуска микросхем с приемкой «5» намечено на конец 2014-го — начало 2015 года. К этому же времени компания подготавливает отладочную плату с набором демонстрационного программного обеспечения для облегчения ознакомления с процессором и его применения. Также будет готова среда для разработки и отладки пользовательского ПО. ■

Литература

1. Круг П. Г. Процессоры цифровой обработки сигналов. Уч. пособие по курсу «Микропроцессоры». М.: Издательство МЭИ, 2001.
2. www.niiet.ru
3. www.milandr.ru