

# Синхронное статическое ОЗУ конвейерного типа

П. Пастухов<sup>1</sup>

УДК 621.38 | ВАК 05.27.01

Новейшая разработка АО «ПКК Миландр» в области запоминающих устройств – микросхема 1645PY7Я – представляет собой синхронное статическое ОЗУ (СОЗУ) конвейерного типа информационной емкостью 72 Мбит. Функциональная особенность ОЗУ – это возможность производить операцию чтения и операцию запись друг за другом без циклов ожидания. Рассмотрим основные параметры, структурную блок-схему и функции микросхемы 1645PY7Я.

На российском рынке представлены самые разнообразные статические ОЗУ как отечественного, так и зарубежного производства. Российские разработки представлены в основном микросхемами асинхронного типа. Так как эти СОЗУ используются уже много десятилетий, контролеры ЗУ, имеющиеся во многих стандартных процессорах, традиционно снабжены интерфейсами для них. В портфолио компании «ПКК Миландр» представлены асинхронные СОЗУ серии 1645PY информационной емкостью от 64 Кбит до 16 Мбит, их быстродействие до 10 нс. Зарубежные производители, такие как Cypress и IDT, предлагают на российском рынке не только микросхемы асинхронного СОЗУ, но и разнообразные типы синхронного СОЗУ.

Появившиеся в конце 1980-х годов синхронные СОЗУ сначала использовались для кэш-памяти в мощных рабочих станциях и серверах. В середине 1990-х годов они нашли применение в менее специализированных устройствах, например кэш-памяти ПК. С этого времени синхронные СОЗУ задействуются во многих устройствах, например в мощных сетях как буфер данных, в Scratchpad ЗУ, в качестве статической буферной памяти.

Так называемые стандартные синхронные СОЗУ были первыми синхронными устройствами, получившими широкое распространение. Они предлагаются в двух основных вариантах: конвейерные (Pipelined) и потоковые (FlowThrough); оснащены входными регистрами адреса, данных и сигналов управления. В потоковых СОЗУ при считывании соответствующие данные сразу достигают выходов. Потоковая архитектура предпочтительнее, когда начальное время ожидания данных важнее, чем длительная пропускная способность (Мбит/с). СОЗУ с конвейерной (Pipelined) архитектурой оснащены также выходными регистрами, благодаря чему на один цикл увеличивается начальное время ожидания, одновременно уменьшаются время выборки и частота тактового сигнала. Поэтому

конвейерные СОЗУ предпочтительнее потоковых в случаях, когда пропускная способность имеет большее значение, чем начальное время ожидания. Основная причина ограничения пропускной способности стандартных синхронных СОЗУ – необходимость добавления циклов ожидания для устранения конфликта шин при переходе от чтения к записи. Для преодоления этого недостатка было разработано СОЗУ с NoBL (No Bus Latency) логикой, устраняющей циклы ожидания. Это обеспечивает полную загрузку шины независимо от профиля чтения/записи, что значительно улучшает работу ЗУ в устройствах с частыми переключениями между операциями чтения и записи.

После появления архитектуры NoBL и, как следствие, повышения эффективности работы по сравнению

Таблица 1. Основные параметры микросхемы 1645PY7Я

| Параметр                                        | Значение               |
|-------------------------------------------------|------------------------|
| Информационная емкость, бит                     | 72 М                   |
| Разрядность слова, бит                          | 36                     |
| Диапазон температур, °С                         | –60...85               |
| Диапазон напряжения питания, В                  | 3,0...3,6              |
| Максимальная частота тактового сигнала CLK, МГц | 200                    |
| Время выборки данных, нс                        | 3                      |
| Ток потребления в режиме хранения, мА           | 115                    |
| Динамический ток потребления, мА                | 500                    |
| Входные уровни                                  | КМОП                   |
| Корпус                                          | BGA<br>МК 8307.144-АНЗ |
| Размеры корпуса, мм                             | 16,2×16,2              |

<sup>1</sup> АО «ПКК Миландр», pastuhov.p@milandr.ru.

со стандартными синхронными СОЗУ ряду систем все же не хватает дополнительной производительности. В связи с этим фирмы Cypress, Renesas, IDT, NEK и Samsung совместно разработали новую архитектуру СОЗУ – QDR (Quad Data Rate). В QDR СОЗУ, аналогичных СОЗУ NoBL, усовершенствована архитектура, в частности, предусмотрены ячейки ввода-вывода с двойной скоростью передачи данных (DDR) и отдельными портами чтения/записи для устранения конфликта шины. QDR также снабжена отдельными и независимыми шинами входных и выходных данных, благодаря чему пользователь может одновременно производить операции чтения и записи.

Несмотря на широкий ассортимент синхронных СОЗУ, в некоторых случаях возможности выбора для

конструкторов ограничены. Хотя для новых процессоров подходит большое количество различных типов СОЗУ, во многих широко применяемых процессорах встроенные контролеры памяти поддерживают лишь определенную архитектуру. Для выбора подходящего типа синхронного СОЗУ необходимо определиться с требованиями системы: пропускной способностью, временем ожидания, потреблением энергии в активном режиме, стоимостью и частотой обращения.

Рассмотрим подробнее новейшую разработку компании «ПКК Миландр» в области запоминающих устройств – микросхему 1645PY7Я. Это первое отечественное синхронное СОЗУ конвейерного типа информационной емкостью 72 Мбит с архитектурой NoBL.

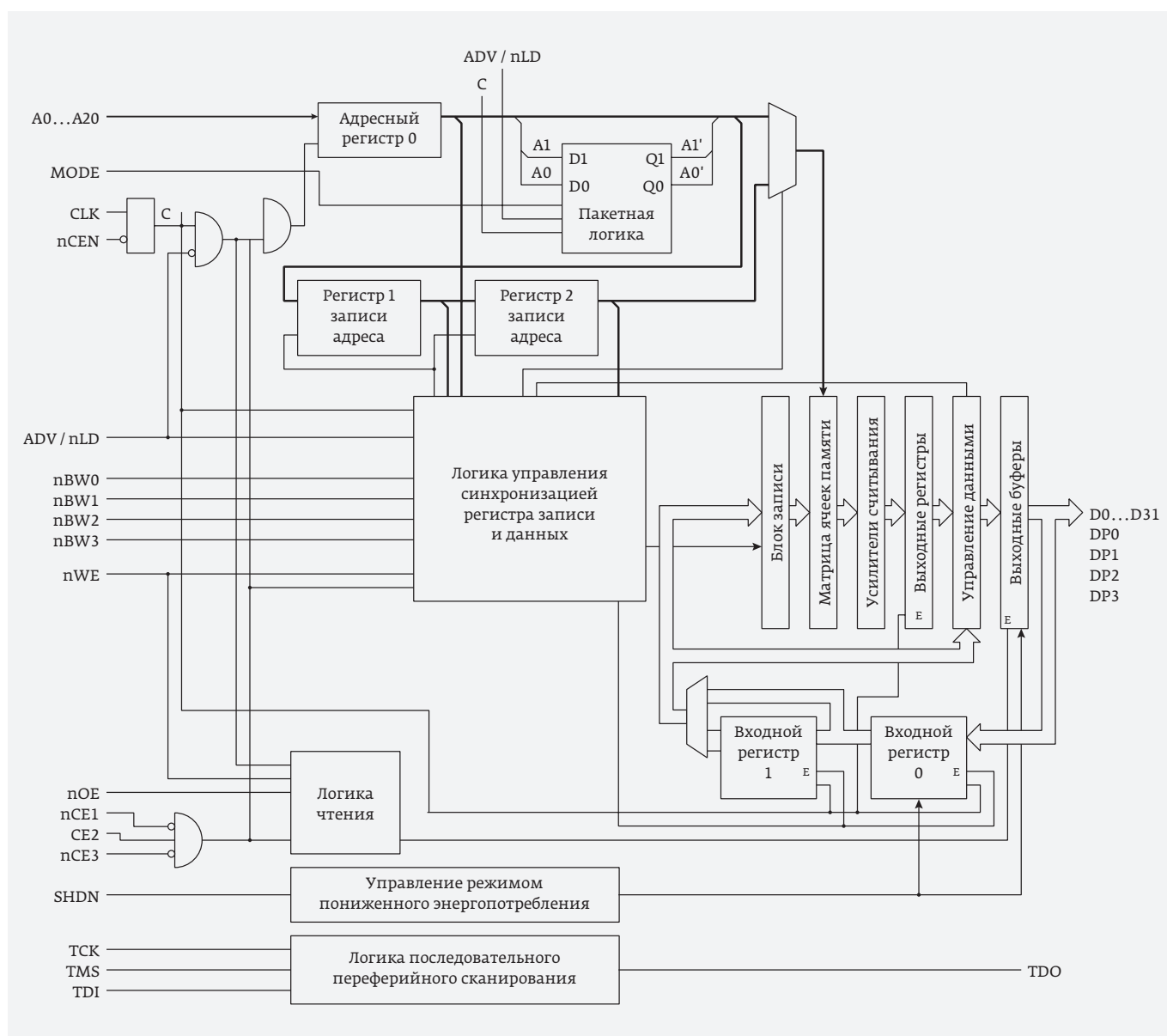


Рис. 1. Структурная блок-схема микросхемы

## ПАРАМЕТРЫ И СТРУКТУРА МИКРОСХЕМЫ 1645PY7Я

Микросхема 1645PY7Я разработана по КМОП-технологии, минимальным проектным нормам 40 нм, с одним уровнем поликремния и восемью уровнями металлизации. Микросхемы выпускаются в 144-выводном металлокерамическом корпусе МК 8307.144-АНЗ. Рабочий диапазон напряжения питания и температуры  $U_{cc} = (3,0-3,6)$  В,  $T = (-60-85)$  °С. Микросхема представляет собой синхронное пакетно-конвейерное СОЗУ с логикой No Bus Latency, поддерживающее операции чтения и записи, которые могут следовать одна за другой без цикла ожидания (wait state). Синхронное СОЗУ информационной емкостью 72 Мбит – это самый большой показатель среди микросхем памяти производства «ПКК Миландр» в однокристальном исполнении. Микросхема имеет организацию 2 М слов по 36 бит в каждом. Разрядность шины данных расширена с 32 до 36 бит для хранения четырех битов четности, по одному на каждый байт. Также данное синхронное СОЗУ является самой быstroдействующей среди микросхем памяти компании «ПКК Миландр», частота тактового сигнала составляет 200 МГц, время выборки данных – 3 нс. Значения основных параметров микросхем представлены в табл. 1.

Структурная блок-схема синхронного СОЗУ представлена на рис. 1. Основой блок, занимающий 80% площади кристалла, – это матрица ячеек памяти. Входные регистры предназначены для реализации синхронного интерфейса, выходные регистры – для создания конвейера по считыванию. В состав блок-схемы также входят блок управления пакетным режимом и блок синхронизации регистра записи и данных, необходимый для устранения циклов ожидания при переходе от чтения к записи.

## ОСНОВНЫЕ ФУНКЦИОНАЛЬНЫЕ ОСОБЕННОСТИ МИКРОСХЕМЫ

СОЗУ снабжено синхронным параллельным интерфейсом, все входные сигналы подаются на входные регистры микросхемы относительно положительного фронта тактового сигнала CLK. Выходы также соединены

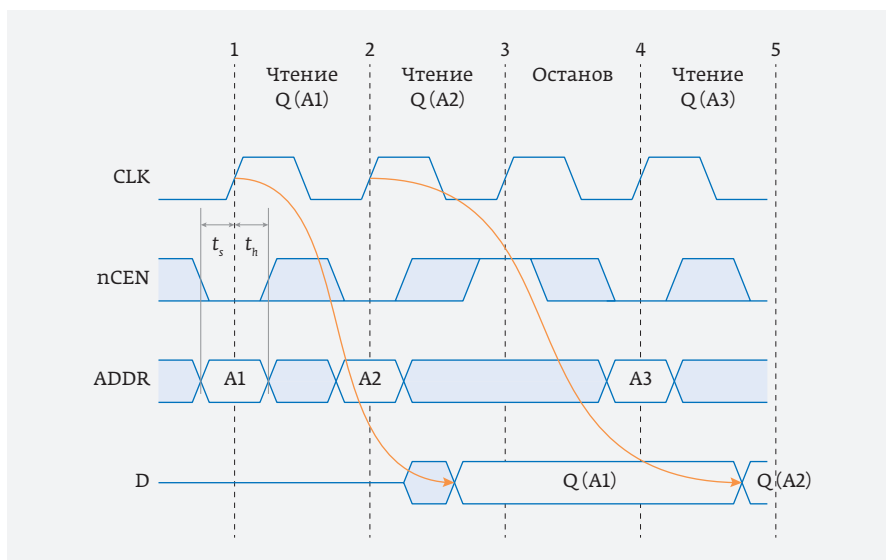


Рис. 2. Временная диаграмма режима чтения и останова

с регистром, поэтому режим чтения, как показано на временной диаграмме (рис. 2), происходит за два такта (конвейерное чтение). По первому положительному фронту CLK выставляются адрес A1 и все остальные управляющие сигналы, переводящие микросхему в режим чтения. Данные, находящиеся в матрице по этому адресу, попадают на вход выходного регистра, а по следующему положительному фронту CLK – на шину данных. Такое решение позволяет разделить внутренние задержки на две части, повысив частоту обращения к СОЗУ.

Рассмотрим основные функциональные особенности микросхемы синхронного СОЗУ.

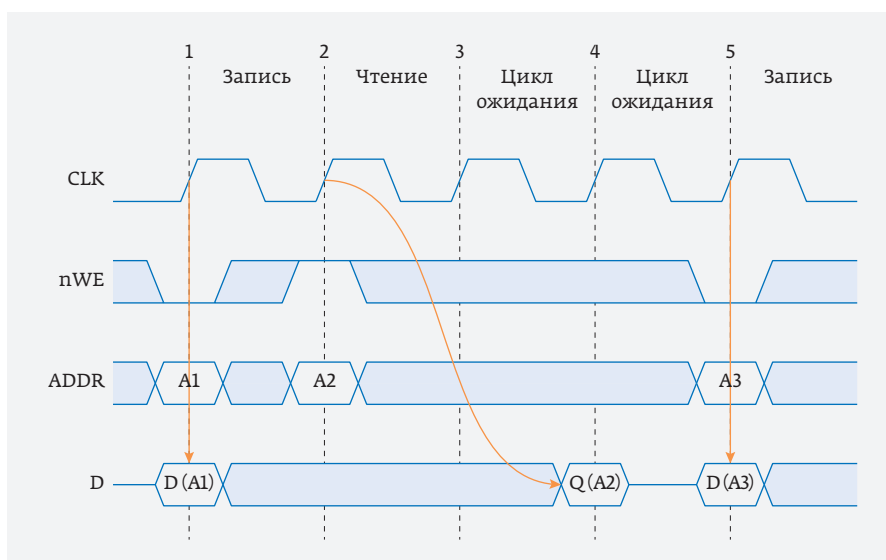


Рис. 3. Временная диаграмма работы обычной синхронной СОЗУ конвейерного типа

### Продление цикла при помощи сигнала nCEN, маскирующего передний фронт тактового сигнала.

Благодаря этой особенности можно точно менять период обращения к памяти. Как показано на временной диаграмме (см. рис. 2), если на входе nCEN состояние высокого уровня, то тактовый сигнал не воспринимается и внутренние состояния микросхемы сохраняются.

**Архитектура, устраняющая циклы ожидания (пустые циклы) при переходе от чтения к записи.** Возможность последовательного выполнения операций чтения и записи без циклов ожидания – важная особенность микросхемы. Она основывается на принципе отложенной записи, реализованной в СОЗУ.

Для сравнения приведены временные диаграммы (рис. 3 и 4) циклов чтения-записи для обычного синхронного СОЗУ конвейерного типа и синхронного СОЗУ конвейерного типа с архитектурой, устраняющей циклы ожидания при переходе от чтения к записи. Для обычного синхронного СОЗУ сигнал разрешения записи nWE, адрес и данные подаются в одном цикле (1-й фронт). Чтение конвейерное, поэтому необходимо два цикла (2-й и 3-й фронт). И только в пятом цикле снова возможна запись. Получается два пустых цикла.

Для синхронного СОЗУ конвейерного типа с архитектурой, устраняющей циклы ожидания при переходе от

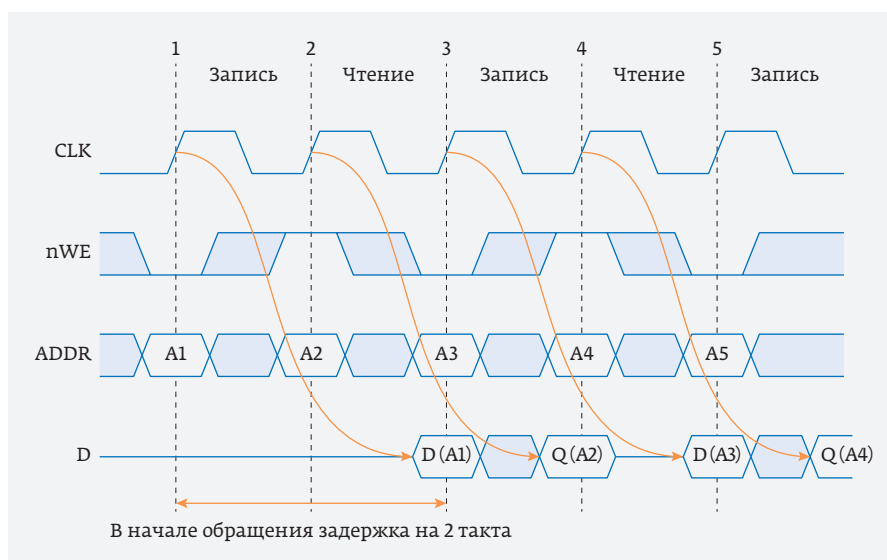


Рис. 4. Временная диаграмма синхронного СОЗУ конвейерного типа с архитектурой, устраняющей циклы ожидания между чтением и записью

чтения к записи, сигнал разрешения записи nWE и адрес подаются в одном цикле (1-й фронт), а данные для этого адреса – через два цикла (3-й фронт). Благодаря этому чтение и запись выполняются в каждом цикле, следовательно, повышается пропускная способность.

**Пакетный (Burst) режим с двумя последовательными счетами.** В микросхеме есть внутренний 2-разрядный счетчик адреса, который разрешает пользователю подать один адрес и провести четыре операции записи или чтения без изменения адреса на адресных входах. Сигнал управления пакетным режимом ADV/nLD в состоянии

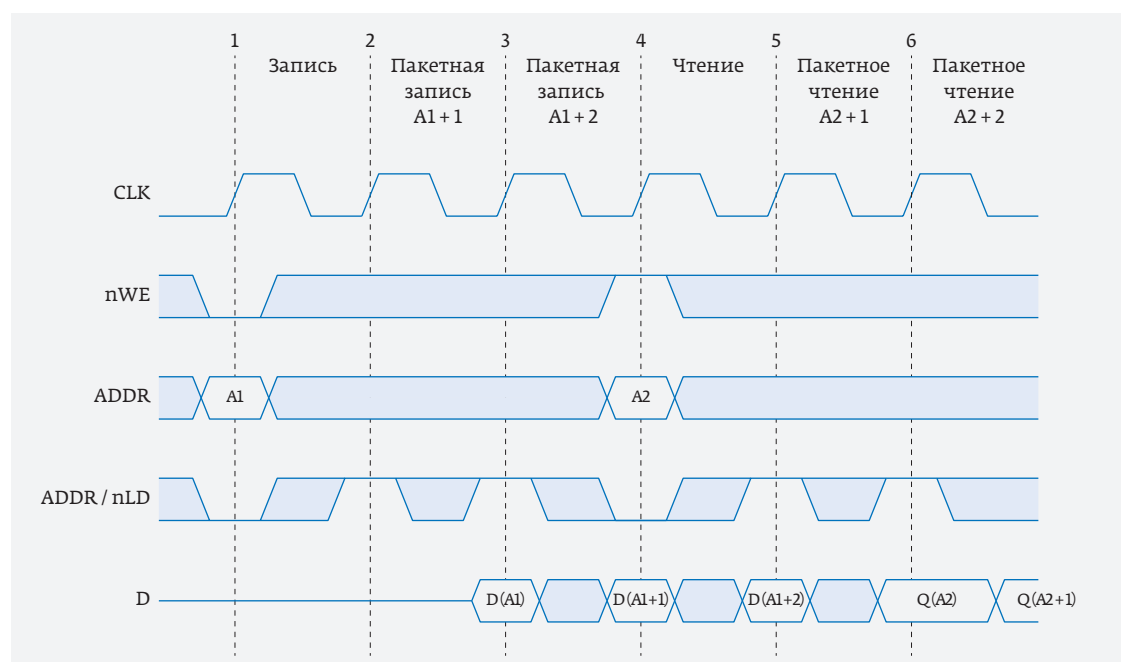


Рис. 5. Временная диаграмма пакетного режима

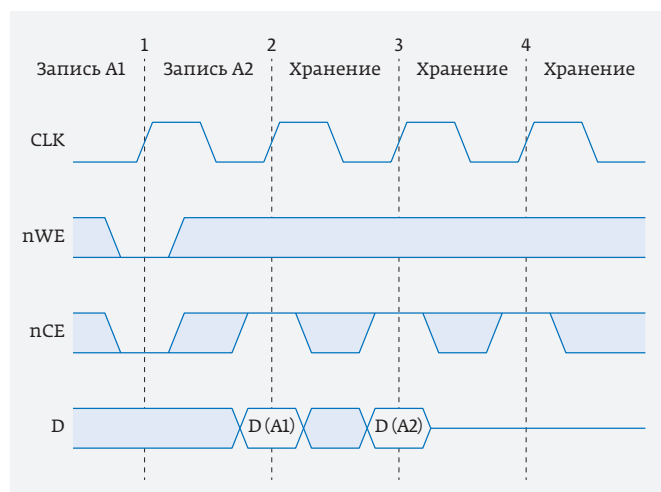


Рис. 6. Временная диаграмма перехода в режим хранения

низкого уровня, как показано на временной диаграмме на рис. 5, производит загрузку нового адреса, а в состоянии высокого уровня – по положительному фронту тактового сигнала инкрементирует счетчик пакетов.

В СОЗУ реализованы две последовательности счетчика пакетов – линейная и перемежающаяся (A0 и A1 по умолчанию ИЛИ объединяет со значениями счетчика). Оба счетчика пакета используют адресные входы A0 и A1 в последовательности пакета.

**Возможность побайтовой записи.** При помощи четырех управляющих сигналов pBw и подачи сигнала записи nWE можно избирательно записывать только требуемые байты. Не выбранные в течение режима записи байты остаются неизменными, что дает определенную гибкость в управлении входным потоком данных.

**Двухтактный переход в режим хранения.** Режим хранения инициируется переходом в неактивное состояние хотя бы одного из трех сигналов разрешения выборки nCE1, CE2, nCE3, активируемых положительным фронтом сигнала CLK. По следующему положительному фронту тактового сигнала шины данных автоматически переходят в третье состояние независимо от состояния входного сигнала nOE. В течение двух первых циклов тактового сигнала режима хранения микросхема будет доступна для подачи входных данных (рис. 6).

**Режим пониженного энергопотребления.** Вход SHDN – асинхронный. SHDN в состоянии высокого уровня переводит микросхему в режим пониженного энергопотребления. Переход в этот режим возможен только в невыбранном состоянии (режим хранения), когда nCE1, CE2, nCE3 находятся в неактивном состоянии. Доступ к памяти, когда она находится в режиме пониженного энергопотребления, невозможен.

Микросхему необходимо перевести в невыбранное состояние (режим хранения) не менее чем за два цикла до перехода в режим пониженного энергопотребления.

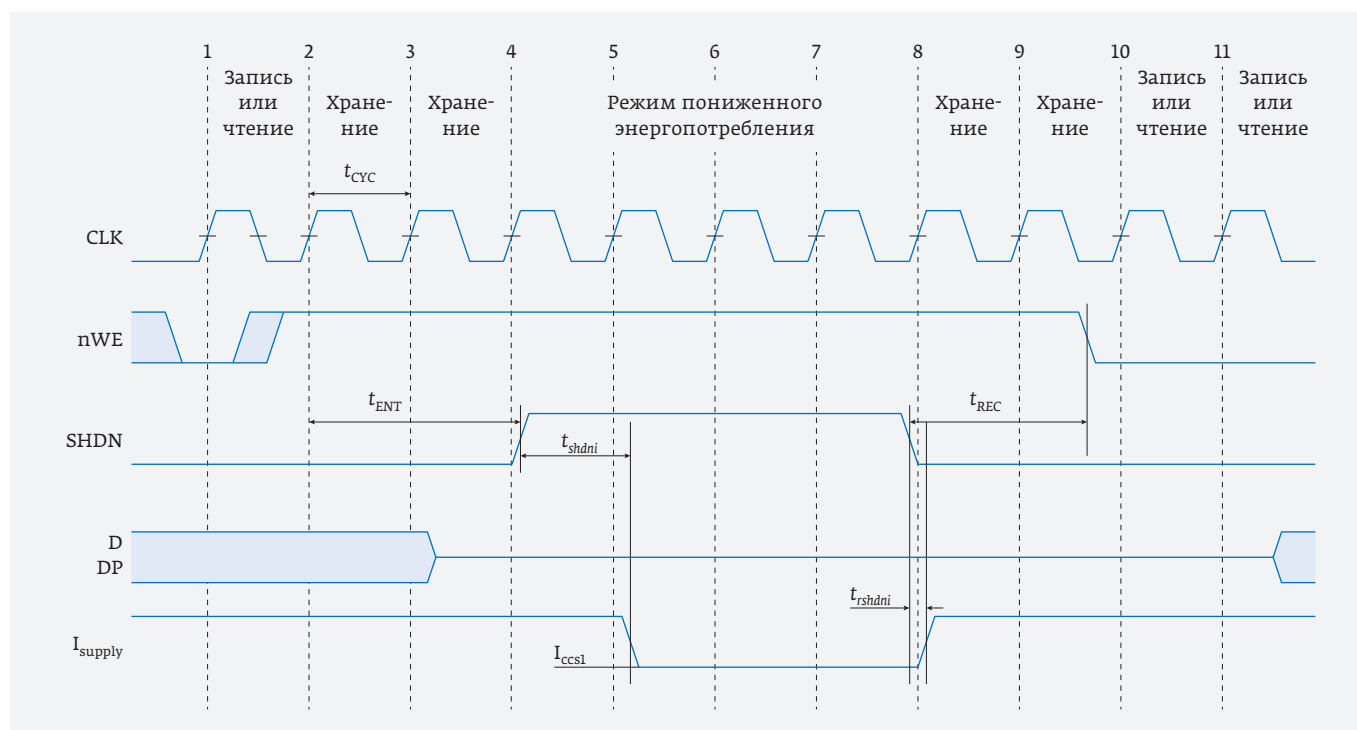
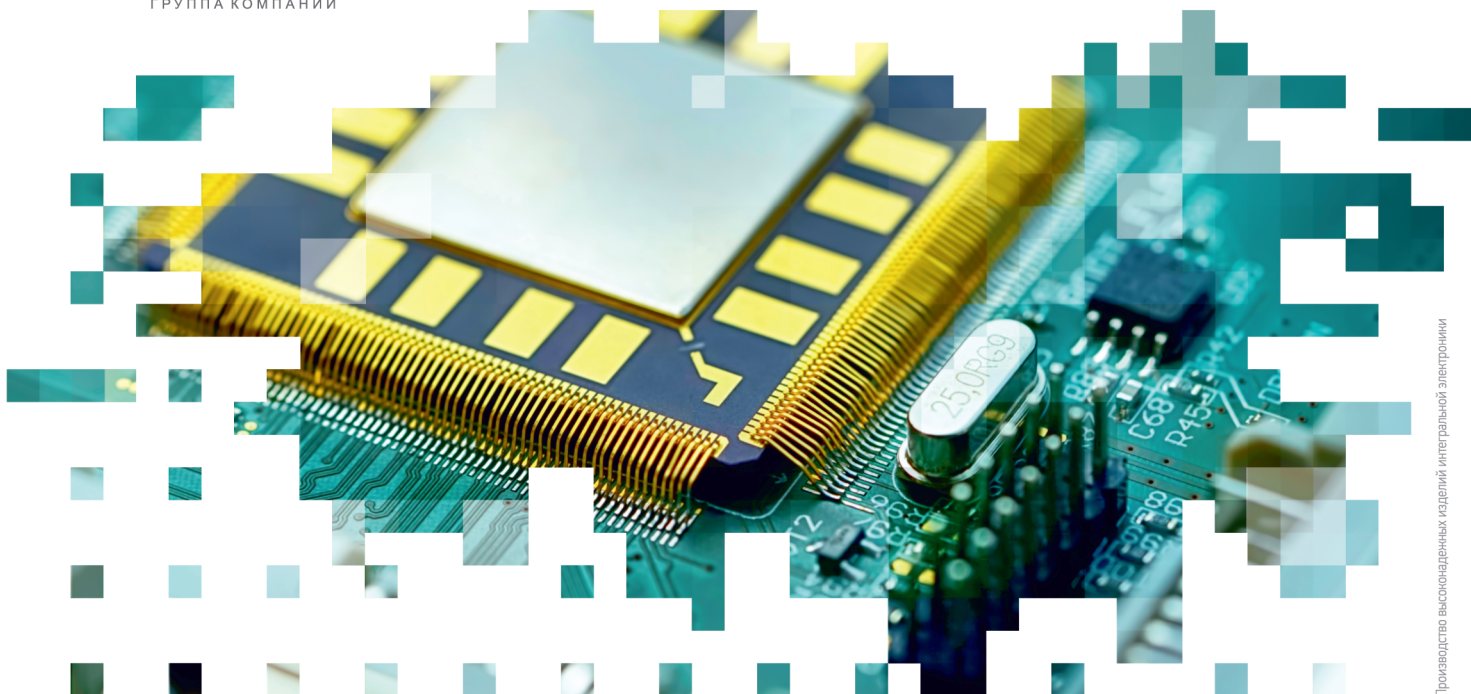


Рис. 7. Временная диаграмма режима пониженного энергопотребления

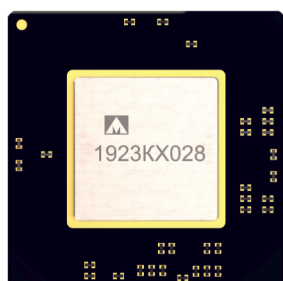


Производство высокоточных изделий интегральной электроники

## 1923KX028

Микросхема коммутатора интерфейса Ethernet 10/100/1000 Мбит/с  
АЕНВ.431240.329ТУ

Предназначены для использования в аппаратуре специального назначения, особенно эффективен в приложениях для аудио/видео коммутирующих систем



МК 8303.576-2

### Технические характеристики

- 16-порт. коммутатор сетей
- IEEE 802.3/Ethernet 10/100/1000 Мбит/с
- $U_{cc} = (3,3 \pm 0,3) В$  и  $(1,1 \pm 10 \%) В$
- Поддержка Jumbo пакетов до 9216 байт
- Потребляемая мощность 5 Вт
- QoS совместимая с IEEE 802.1p, 1
- VLAN совместимая с IEEE 802.1Q, 1
- Два MDIO интерфейсы со скоростью обмена от 2,5 до 12 Мбит/с
- Общая память пакетов, 1 Мбайт
- Интерфейс SPI master / SPI slave

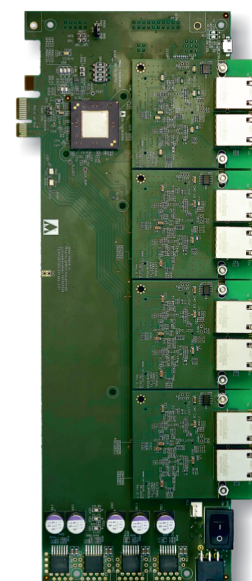
## ТСКЯ.468998.072

Комплект демонстрационной платы для микросхемы 1923KX028

Комплект предназначен для ознакомления и исследования работы микросхемы 1923KX028

### Состав комплекта

- 1923KX028 (коммутатор интерфейса Ethernet 10/100/1000)
- 1986BE92 (32-битный микроконтроллер на базе ядра ARM Cortex-M3)
- PCI-Express x1, стандарт 2.0 (5 ГТ/с)
- 2 интерфейса SMI (MDIO)
- 8 мезонинных плат с Ethernet PHY трансиверами (2 канала Ethernet на каждой плате)
- USB интерфейс для конфигурирования
- Термодатчик



## Новизна инженерных решений

124498, г. Москва, Зеленоград, Георгиевский пр-т, д. 5 • info@milandr.ru  
+7 (495) 981-54-33 • +7 (495) 981-54-36 (факс)

/ MILANDR.RU

Таблица 2. Таблица режимов микросхемы 1645PY7Я

| Режим                                      | Используемый адрес | nCE | SHDN | ADV/nLD | nWE | nBWx | nOE | nCEN | CLK   | Dx/DPx              |
|--------------------------------------------|--------------------|-----|------|---------|-----|------|-----|------|-------|---------------------|
| Хранение                                   | Не определен       | H   | L    | L       | X   | X    | X   | L    | L – H | Z                   |
| Продолжение хранения                       | Не определен       | X   | L    | H       | X   | X    | X   | L    | L – H | Z                   |
| Считывание (начало пакета)                 | Внешний            | L   | L    | L       | H   | X    | L   | L    | L – H | Выходные данные (Q) |
| Считывание (продолжение пакета)            | Следующий          | X   | L    | H       | X   | X    | L   | L    | L – H | Выходные данные (Q) |
| NOR/Фиктивное считывание (начало пакета)   | Внешний            | L   | L    | L       | H   | X    | H   | L    | L – H | Z                   |
| Фиктивное считывание (продолжение пакета)  | Следующий          | X   | L    | H       | X   | X    | H   | L    | L – H | Z                   |
| Запись (начало пакета)                     | Внешний            | L   | L    | L       | L   | L    | X   | L    | L – H | Входные данные (D)  |
| Запись (продолжение пакета)                | Следующий          | X   | L    | H       | X   | L    | X   | L    | L – H | Входные данные (D)  |
| NOR/Фиктивная запись (начало пакета)       | Не определен       | L   | L    | L       | L   | H    | X   | L    | L – H | Z                   |
| Фиктивная запись (продолжение пакета)      | Следующий          | X   | L    | H       | X   | H    | X   | L    | L – H | Z                   |
| Останов (пропуск фронта тактового сигнала) | Текущий            | X   | L    | X       | X   | X    | X   | H    | L – H | –                   |
| Режим пониженного энергопотребления        | Не определен       | X   | H    | X       | X   | X    | X   | X    | X     | Z                   |

Примечание: H – состояние высокого уровня; L – состояние низкого уровня; X – любое состояние высокого или низкого уровня;

Z – состояние высокого импеданса; L – H – переключение из состояния низкого уровня в состояние высокого уровня.

Входы nCE1, CE2, nCE3 должны оставаться неактивными в течение  $t_{\text{REC}}$  после возврата входа SHDN в состояние низкого уровня. Временные диаграммы работы микросхемы в режиме пониженного энергопотребления представлены на рис. 7.

#### Периферийное сканирование (Boundary Scan).

Микросхема 1645PY7Я поддерживает возможность периферийного сканирования по последовательному интерфейсу (JTAG-интерфейс) для тестирования качества монтажа микросхемы на плату. Синхронное СОЗУ содержит TAP (Test access port, порт тестового доступа) контроллер, регистр инструкции, регистр периферийного

сканирования, bypass регистр и ID регистр. TAP работает в соответствии с IEEE1149.1 (2001 г).

Все режимы работы микросхемы 1645PY7Я представлены в табл. 2.

\*\*\*

За более подробной информацией о представленных в настоящей статье микросхемах синхронного СОЗУ конвейерного типа емкостью 72 Мбит, а также по вопросам их приобретения необходимо обращаться в отдел технической поддержки или отдел маркетинга АО «ПМК Миландр» ([www.milandr.ru](http://www.milandr.ru)).