

АППАРАТНО-ПРОГРАММНАЯ ПЛАТФОРМА ДЛЯ СИСТЕМ С АФАР НА ОСНОВЕ ОТЕЧЕСТВЕННЫХ МИКРОСБОРОК

ДМИТРИЙ МАТЮНИН, инженер-программист 1-й категории, АО «ПКК Миландр»

В статье рассматривается аппаратно-программная платформа, предлагаемая компанией АО «ПКК Миландр». Главным образом, эта платформа предназначена для прототипирования, отладки схемотехнических и программных решений на базе отечественных микросхем и микросборок. В первую очередь, платформа используется в системах с активными фазированными антенными решетками (АФАР).

При разработке радиоэлектронной аппаратуры важным моментом является возможность проверки схемотехнических решений, применяемых при проектировании, и программного обеспечения (ПО). Программное обеспечение, разрабатываемое параллельно с аппаратным, требует отладки на реальном устройстве для дальнейшего быстрого запуска на целевом устройстве. С этой целью многие компании, в т. ч. занимающиеся разработкой и производством микросхем, выпускают аппаратные платформы самого широкого спектра: отладочные и демонстрационные платы, макеты, оценочные наборы и т. д. Кроме того, для уменьшения поро-

га вхождения и упрощения разработки технических решений на базе модулей, микросхем и микросборок совместно с аппаратными средствами часто предлагается разное ПО: демонстрационные проекты с примерами работы, библиотеки, программные модули и т. д.

Компания АО «ПКК Миландр» разработала линейку отладочных плат, позволяющих в полной мере осуществить отладку и в максимальной степени выявить функционал, заложенный в микросборках «Флип-Чип» (MBM-03) и «Осведомленность» (9018 BK016).

Микросборка «Флип-Чип» (MBM-03), показанная на рисунке 1, обладает следующими характеристиками:

- ЦОС-процессор: 1967 ВН02 Н4;
- ПЗУ с флэш-памятью: 1636 РР4 Н4;
- количество процессорных ядер: четыре;
- частота ЦОС-процессора: 450 МГц;
- частота внешней шины: 450 МГц;

- объем внутренней статической ОЗУ: 96 Мбит;
- объем ПЗУ: 16 Мбит;
- производительность (пик.): 21,6 Гфлопс.

Эта микросборка используется как кластер из четырех высокопроизводительных процессоров ЦОС для построения систем обработки сигналов для радиолокации, радиозондирования, обработки изображений.

На рисунке 2 показана микросборка «Осведомленность» (9018 BK016). Ее характеристики:

- ЦОС-процессор: 1967 ВН04 Н4;
- ПЗУ с флэш-памятью: 1636 РР4 Н4;
- АЦП: 5101 НВ01 Н4;
- ВИП: 1310 ПН1 Н4, 1309 ЕН1.8 Н4;
- частота ЦОС процессора: 230 МГц;
- частота внешней шины: 100 МГц;
- количество каналов АЦП: 2;
- разрядность АЦП: 14 бит;
- частота дискретизации АЦП: 15–125 МГц;

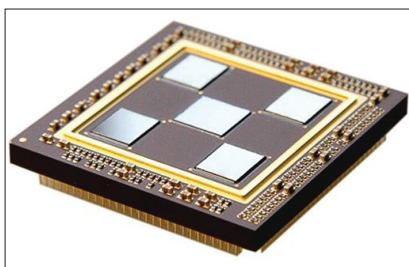


Рис. 1. Микросборка «Флип-Чип» (MBM-03) – кластер из четырех процессоров ЦОС и ПЗУ

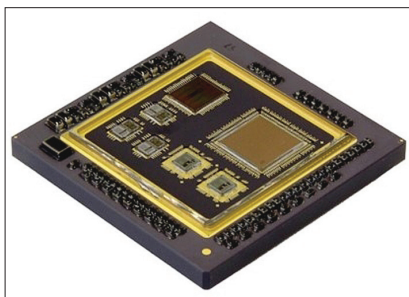


Рис. 2. Микросборка «Осведомленность» (9018BK016)

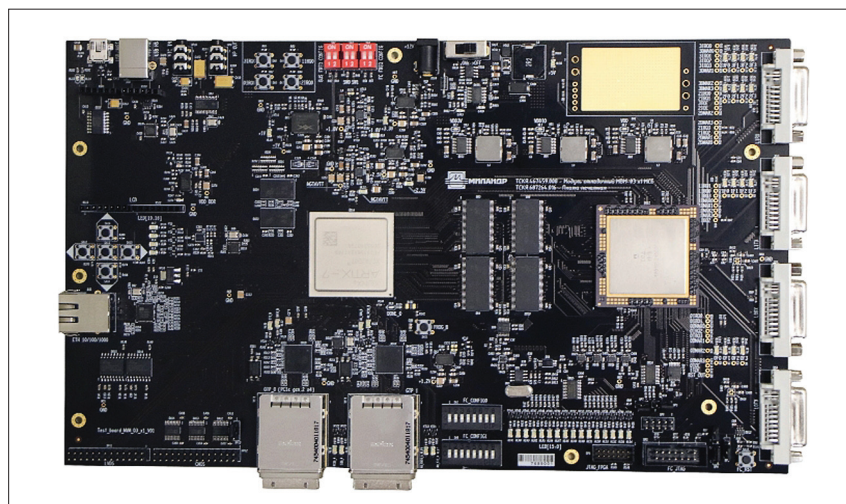


Рис. 3. Внешний вид отладочной платы MBM-03

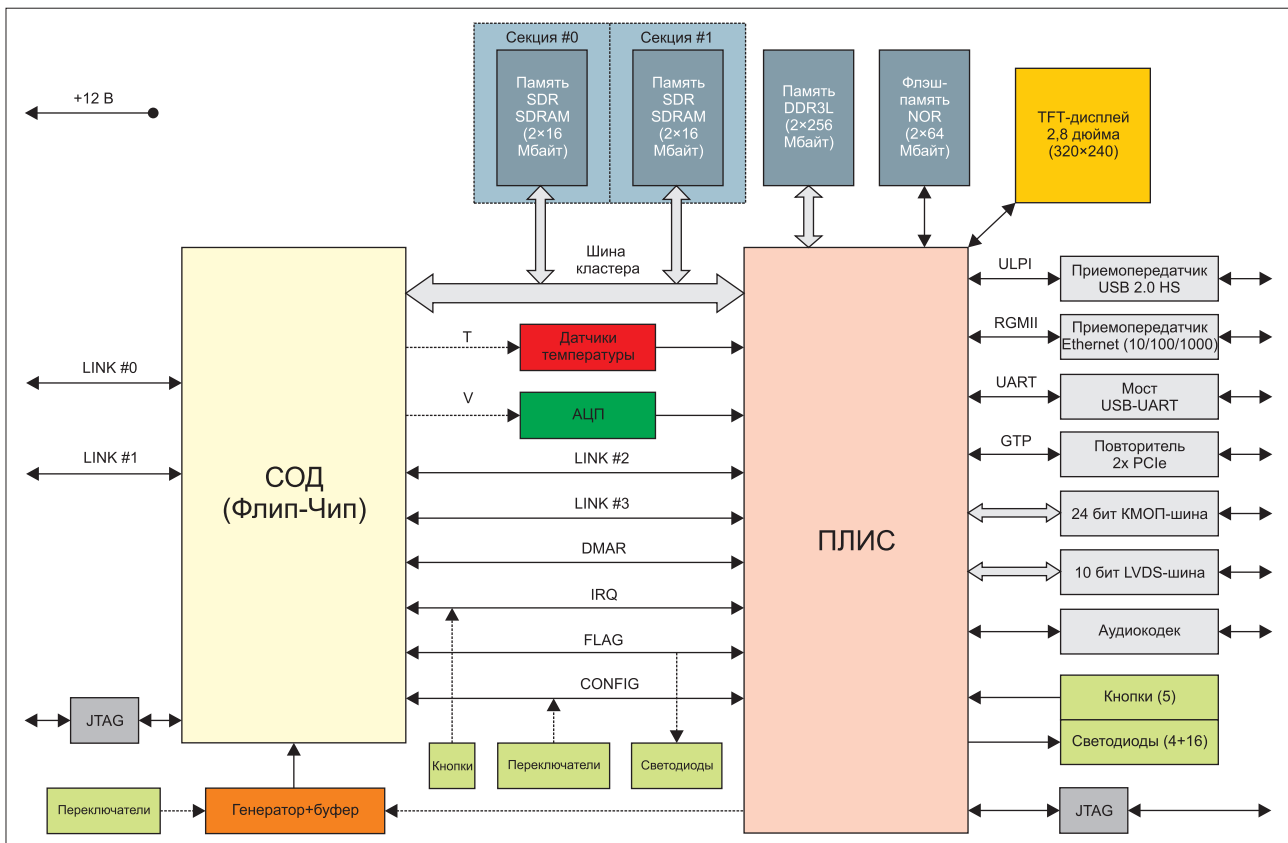


Рис. 4. Структурная схема отладочной платы MBM-03

- объем ПЗУ: 16 Мбит;
- периферия: два UART, пять SPI, два SSI, два канала «Манчестер», четыре канала ARINC-429, два канала GPS, LCD-контроллер, VideoCam, два 8-бит LINK-передатчика.

Для микросборки «Флип-Чип» (MBM-03) была разработана отладочная плата, внешний вид и структурная схема которой показаны на рисунках 3–4, соответственно.

Это отладочное средство имеет свои отличительные черты:

- внешние разъемы и интерфейсы:
 - внешнее питание: +12 В;
 - два порта связи: DVI-гнездо;
 - два USB-порта: USB "B" и USB mini "A";
 - один Ethernet: RJ-45;
 - одна шина LVDS: 26-выводная вилка, двухрядная с шагом 2,54 мм;
 - одна шина CMOS: 28-выводная вилка, двухрядная с шагом 2,54 мм;
 - два GT-порта: 38-выводные типа 74540–0401;
 - два аудиоразъема: гнездо, 3,5 мм, трехтерминальный;
- компоненты и функционал:
 - одна микросборка «Флип-Чип» (MBM-03);
 - генератор + ФАПЧ + тактовый буфер для тактирования DSP- и SDR-памяти, возможность тактирования от ПЛИС;
 - четыре SDR SDRAM микросхемы памяти (16 Мбайт каждая,

- 64 Мбайт в сумме), разделенные на две секции (MSSD0 и MSSD1);
- кластерная шина в полном объеме подключена к ПЛИС для эмуляции работы с общей памятью, периферийными устройствами и хост-процессором;
- порты связи #0 и #1 выведены на внешние разъемы DVI, #2 и #3 подключены к ПЛИС;
- переключатели для выбора частоты внешней шины, частоты ядра и конфигурации загрузки (возможность конфигурирования через ПЛИС);
- все сигналы IRQ подключены к ПЛИС, сигналы IRQ0 продублированы кнопками;
- все сигналы FLAG и DMAR подключены к ПЛИС, все сигналы FLAG продублированы светодиодами;
- супервизор питания и кнопка сброса FC с возможностью сброса от ПЛИС;
- JTAG-разъем для программирования и отладки;
- разъем для программирования EEPROM;
- одна ПЛИС (XC7A200T-2FFG1156):
- две микросхемы памяти DDR3L (256 Мбайт каждая, 512 Мбайт в сумме);
- две флэш-памяти NOR (64 Мбайт каждая) для хранения конфигурации и общего пользования;

- четыре датчика для отслеживания температуры каждого ядра FC;
- три АЦП для контроля напряжения питания FC;
- два GTP-порта (4-lane) выведены через redriver на внешние разъемы;
- один Ethernet PHY (с поддержкой 10/100/1000 Mbps, RGMII);
- аудиокодек для подключения микрофона и наушников;
- преобразователь USB <=> UART;
- USB High-Speed PHY (Device, ULPI);
- два тактовых генератора PCIe для тактирования ПЛИС и GTP-портов;
- TFT дисплей 2,8 дюйма с разрешением 320×240;
- пять кнопок общего назначения;
- внешняя двунаправленная 24-разрядная КМОП-шина с выбором внутреннего или внешнего опорного напряжения;
- внешняя двунаправленная 10-разрядная (10 диф. пар) LVDS-шина;
- четыре «быстрых» светодиода + 16 светодиодов (IO Expander);
- JTAG-разъем для программирования и отладки.

В свою очередь, отладочная плата ОАС-2 предназначена для отладки микросборки «Осведомленность» (9018 BK016). На рисунке 5 показан ее внешний вид, на рисунке 6 – структурная схема.

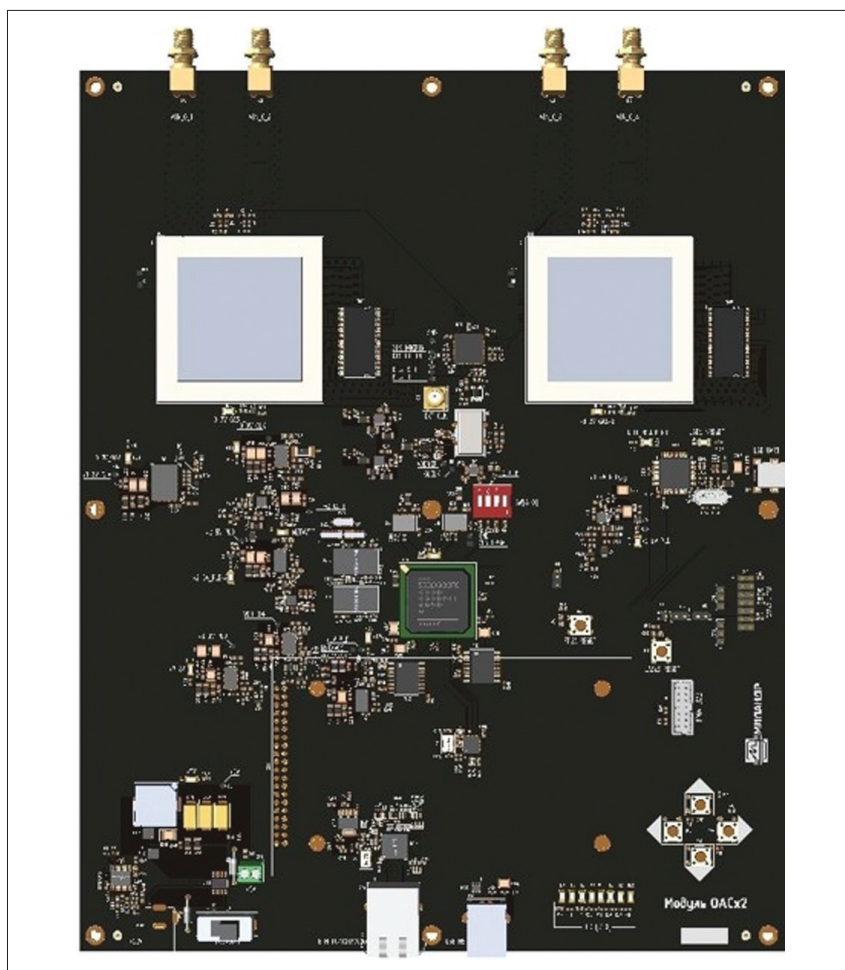


Рис. 5. Внешний вид отладочной платы ОАС-2

Далее представлены отличительные черты отладочного комплекта:

- внешние разъемы и интерфейсы:
 - внешнее питание: +12 В;
 - четыре аналоговых входа;
 - два USB порта: USB "В" и USB mini "А";
 - один Ethernet: RJ-45;
- компоненты и функционал:
 - две микросборки «Осведомленность» (9018 ВК016):
 - буфер для тактирования DSP и АЦП, возможность тактирования от ПЛИС или с внешнего разъема;
 - четыре SDR SDRAM микросхемы памяти (16 Мбайт каждая, 32 Мбайт на микросборку);
 - порт связи #0 разрядностью 8 бит подключен к ПЛИС;
 - сигналы IRQ и DMAR подключены к ПЛИС;
 - хост-интерфейсы подключены к ПЛИС;
 - один UART и один SPI подключены к ПЛИС;
 - еще один UART выведен наружу через мост UART-USB;
 - кнопка сброса DSP с возможностью сброса от ПЛИС;
 - JTAG-разъем для программирования и отладки;
- одна микросхема ПЛИС (XC7A200T-2FBG484):
 - две DDR3L микросхемы памяти (256 Мбайт каждая, 512 Мбайт в сумме);

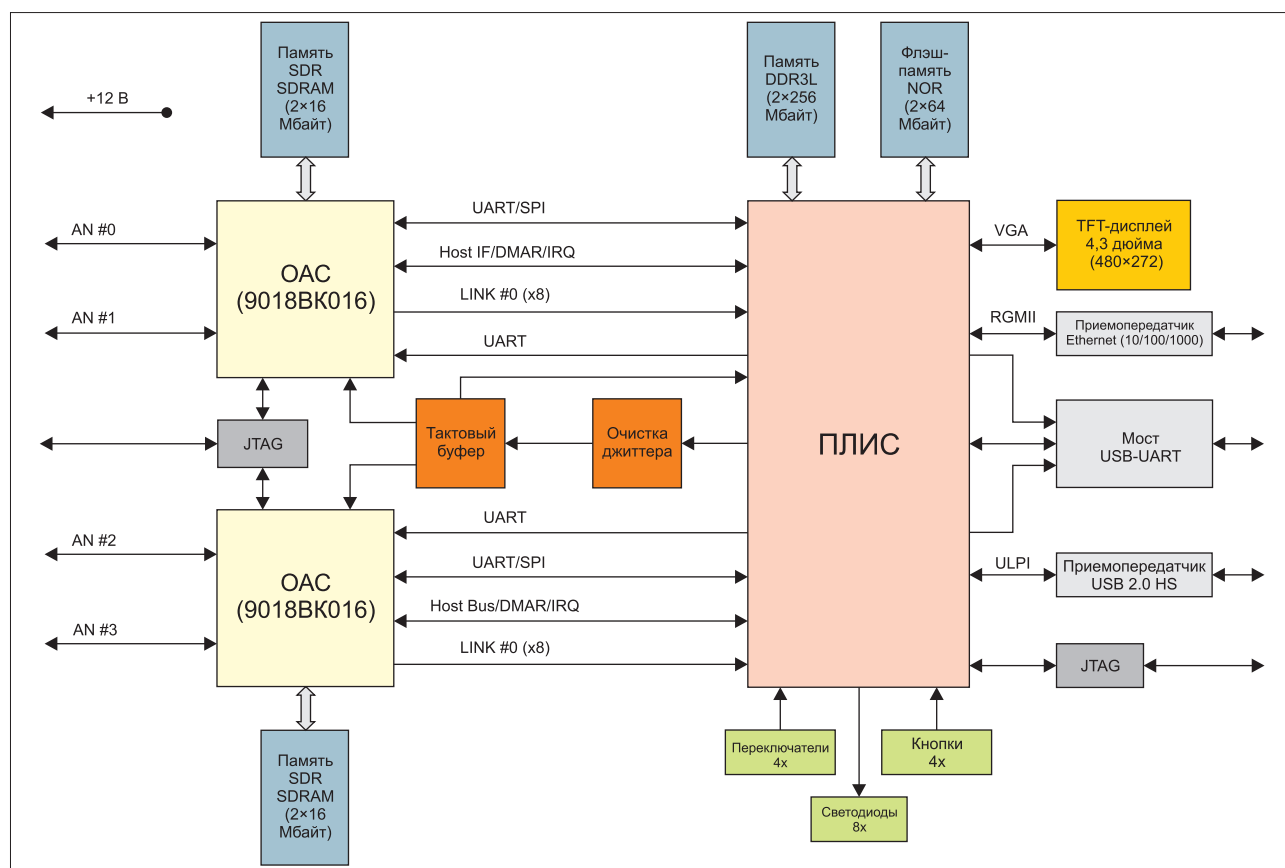


Рис. 6. Структурная схема отладочной платы ОАС-2

- две флэш-памяти NOR (32 Мбайт каждая) для хранения конфигурации и общего пользования;
- Jitter Cleaner для очистки тактового сигнала АЦП и DSP;
- один Ethernet PHY (с поддержкой 10/100/1000 Mbps, RGMII);
- один UART выведен наружу через мост UART-USB;
- USB High-Speed PHY (Device, ULPI);
- TFT-дисплей 4,3 дюйма с разрешением 480×272;
- четыре кнопки общего назначения;
- четыре переключателя общего назначения;
- восемь светодиодов;
- JTAG-разъем для программирования и отладки.

Назначение отладочной платы ОАС-2 заключается в демонстрации отработки механизмов когерентного захвата аналоговых сигналов АЦП, входящих в состав микросборок, и их дальнейшей обработки. В процессорах ЦОС 1967 ВН04 Н4 появилась функция когерентного захвата данных, основанная на одновременном сбросе модулей цифровой обработки UP/DOWN. Процедура сброса строится на подаче импульса

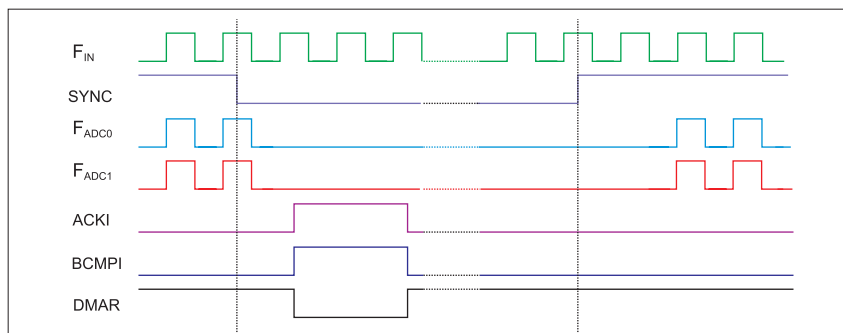


Рис. 7. Синхронизация модулей UP/DOWN микросборок

длительностью не менее одного такта SOC-шины, на специально отведенный для этой задачи контакт микросхемы. Импульс приводит к сбросу значений в счетчике отсчетов, указателя коэффициентов смесителя, обнулению сумматоров и дифференциаторов фильтров. Заметим одну важную особенность: этот импульс воздействует только на модуль UP/DOWN и никак не влияет на входной буфер порта связи. Это может приводить к неприятным эффектам периодической рассинхронизации каналов, если необходимо одновременно захватывать данные сразу на нескольких микросборках. Кроме того, дополнительной преградой когерентного захвата может послужить тот факт, что каждая микросборка имеет,

так или иначе, собственную частоту SOC-шины, на которой и происходит захват входного импульса сброса модуля UP/DOWN. Таким образом, синхронная подача этого импульса не возможна.

Для решения данной проблемы необходимо параллельно решить еще несколько задач: синхронный сброс входных буферов портов связи, сброс модулей UP/DOWN. Ключом для решения этих задач является аппаратная возможность временной приостановки подачи тактового сигнала на АЦП микросборки. Пока нет входной частоты, АЦП прекращает выдачу оцифрованных данных на порты связи процессора; в отсутствие входных данных на порту связи входные

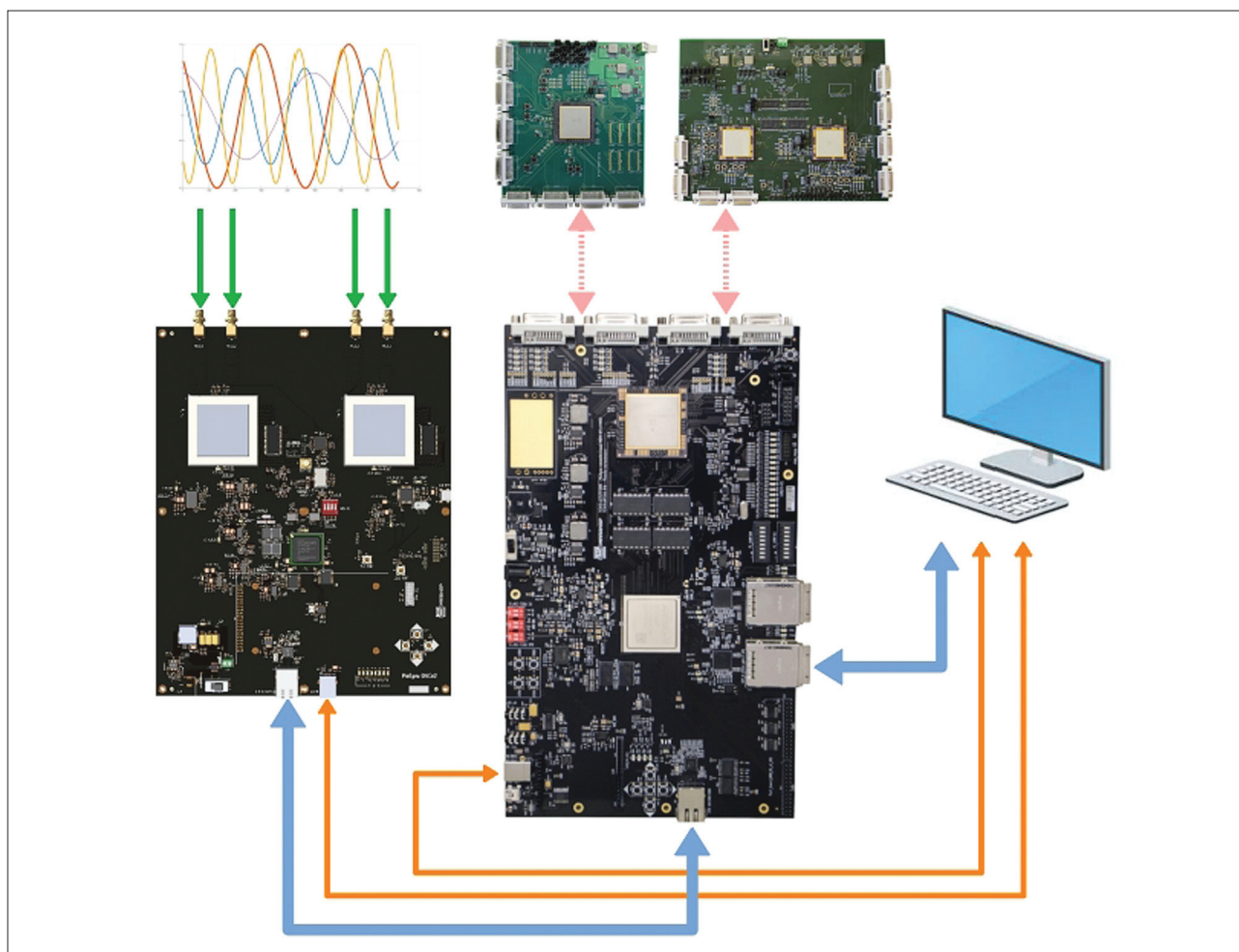


Рис. 8. Аппаратно-программный комплекс на базе микросборок «Флип-Чип» и «Осведомленность»

буферы находятся в неизменном состоянии, а модули UP/DOWN не осуществляют обработку. Неизменными остаются и его внутренние счетчики, сумматоры и фильтры. На отладочной плате ОАС-2 с этой целью применяется тактовый буфер с возможностью синхронного останова и запуска тактовой частоты выходными драйверами. В свою очередь, сброс входных буферов портов связи невозможен аппаратно и производится программно. Для программного сброса входных буферов необходимо последовательно произвести запись в бит 0 регистра LRCTLx нуля и единицы. Программных способов сделать это несколько, например: через внешнее прерывание или внешний запрос DMA. Сброс модулей UP/DOWN может осуществляться параллельно со сбросом входных буферов портов связи. Главное условие, чтобы во время данной процедуры тактовая частота на АЦП отсутствовала. На рисунке 7 представлен возможный сценарий синхронного сброса двух микросборок.

На временной диаграмме, приведенной на рисунке 7, сигнал F_{IN} – входная частота тактового буфера; сигнал SYNC – сигнал синхронного останова выходных тактовых частот; F_{ADCX} – входные частоты АЦП, ASK1 и BCMPI – специальные сигналы сброса подсистем модуля UP/DOWN; DMAR – сигнал внешнего DMA запроса процессора, по которому может произ-

водиться программный сброс портов связи. Поскольку процедура сброса портов связи происходит программно, на нее требуется больше всего времени, которое зависит от загруженности процессора и SOC-шины. Еще раз заметим, что пока процедура сброса всех подсистем процессора не закончена полностью, тактовую частоту на АЦП подавать нельзя. Кроме того, в общее время синхронизации микросборок следует учитывать, что после подачи тактовой частоты на входы микросборок АЦП требуется определенное время на установление стабильного режима работы, а первые поступившие дискретизованные данные необходимо проигнорировать и не учитывать при дальнейшей обработке.

Рассматриваемые отладочные платы разработаны с учетом всех особенностей этих микросборок и имеют возможность объединить несколько отладочных плат в единый аппаратно-программный комплекс для когерентного захвата данных и дальнейшей цифровой обработки. Наличие высокоскоростных интерфейсов на каждой плате обеспечивает высокую гибкость построения системы обработки и скоростную передачу данных между платами. Кроме того, благодаря обратной совместимости внешних портов связи на отладочной плате MBM-03 имеется возможность подключить к ней ранее разработанные отладочные платы для

микросборок «Флип-Чип» и «Осведомленность» – отладочную плату с одной МСБ «Флип-Чип» (4-процессорный кластер) и отладочную плату с двумя МСБ «Флип-Чип» (8-процессорный кластер).

На рисунке 8 представлена общая идея построения аппаратно-программного комплекса на базе микросборок. В этом варианте подключения отладочная плата ОАС-2 выполняет функцию когерентного захвата аналоговых сигналов, их первичную обработку (перенос частоты, децимацию, фильтрацию и т.д.) и передачу по каналу Ethernet на отладочную плату MBM-03 для дальнейшей обработки. В свою очередь, отладочная плата MBM-03 с опционально подключенными отладочными платами с микросборками «Флип-Чип» производит окончательную цифровую обработку данных и передает результаты на персональный компьютер по каналу PCIe. Обе отладочные платы могут подключаться дополнительно к ПК через каналы USB HighSpeed для управления или передачи информации.

В заключение можно сказать, что представленные отладочные платы для микросборок «Флип-Чип» и «Осведомленность» предоставляют разработчику большие возможности для отладки, проверки своих технических решений и алгоритмов обработки данных, гибкость в построении необходимой конфигурации аппаратных средств для любых задач. ■